

(19) 日本国特許庁 (JP)

## (12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2004-519859

(P2004-519859A)

(43) 公表日 平成16年7月2日 (2004.7.2)

(51) Int. Cl.<sup>7</sup>

H01L 27/105  
H01L 43/08  
H01L 43/12

F I

H01L 27/10 4 4 7  
H01L 43/08 M  
H01L 43/08 Z  
H01L 43/12

テーマコード (参考)

5F083

審査請求 未請求 予備審査請求 有 (全 80 頁)

(21) 出願番号 特願2002-574699 (P2002-574699)  
(86) (22) 出願日 平成14年3月12日 (2002.3.12)  
(85) 翻訳文提出日 平成14年12月2日 (2002.12.2)  
(86) 国際出願番号 PCT/US2002/007284  
(87) 国際公開番号 W02002/075782  
(87) 国際公開日 平成14年9月26日 (2002.9.26)  
(31) 優先権主張番号 09/805, 916  
(32) 優先日 平成13年3月15日 (2001.3.15)  
(33) 優先権主張国 米国 (US)

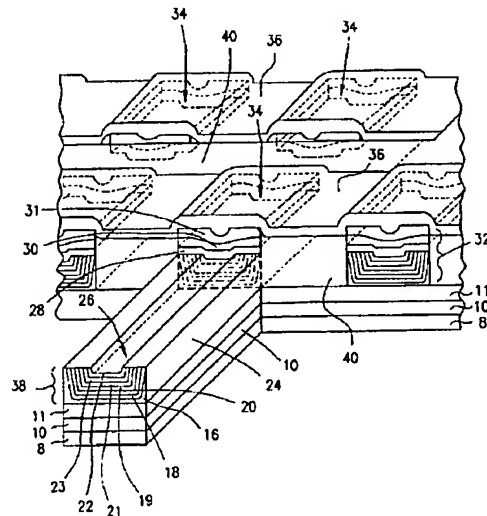
(71) 出願人 599006373  
マイクロン テクノロジー インコーポレ  
イテッド  
アメリカ合衆国 83707-0006  
アイダホ州ボイシ サウス フェデラル  
ウェイ 8000 ビー. オー. ボックス  
6  
(74) 代理人 100077481  
弁理士 谷 義一  
(74) 代理人 100088915  
弁理士 阿部 和夫  
(74) 代理人 100106998  
弁理士 橋本 傳一

最終頁に続く

(54) 【発明の名称】 MRAM構造を側壁によって閉じ込める、自己整合型かつトレンチなし磁気抵抗ランダムアクセ  
スメモリ (MRAM) 構造

## (57) 【要約】

本発明は、トレンチなしのMRAM構造の製造方法に関し、かつその方法によって得られるMRAM構造に関する。本発明のMRAM構造は、基板上に形成した保護側壁内部に固着層を有する。保護側壁が、自己整合によるMRAM構造の形成を助長する。



## 【特許請求の範囲】

## 【請求項1】

MRAMデバイスを形成する方法であって、  
自立型絶縁側壁を基板上に形成して、該側壁によって区切られる保護領域を形成し、前記側壁が前記基板の最上レベルの上方に形成される工程と、  
前記保護領域内に底部磁性層を形成する工程と、  
上部磁性層を前記底部磁性層の領域上に形成する工程と  
を備えたことを特徴とする方法。

## 【請求項2】

前記自立型絶縁側壁が、該側壁の間の底部絶縁層によって、それらの長さに沿って相互接続されていることを特徴とする請求項1に記載の方法。 10

## 【請求項3】

前記自立型絶縁側壁と前記底部絶縁層を形成する工程が、  
第1絶縁層を前記基板上と前記基板上に形成した少なくとも2つの離隔された犠牲領域上に形成し、該犠牲領域が、相互に対して実質的に平行であり、前記基板を長手方向にわたって延長し、実質的に垂直の側壁を有し、前記絶縁側壁が、前記犠牲領域の前記実質的に垂直な側壁上に形成され、前記底部絶縁層が、前記犠牲領域の間に形成される工程と、  
前記少なくとも2つの犠牲領域とその上に形成した前記第1絶縁層の部分を除去して、前記自立型絶縁側壁および前記自立型絶縁側壁の間の前記底部絶縁層を残し、前記自立型絶縁側壁と前記底部絶縁層が、それぞれ前記第1絶縁層から形成される工程と  
を備えたことを特徴とする請求項2に記載の方法。 20

## 【請求項4】

前記底部磁性層を形成する工程が、  
シード層を前記第1絶縁層上および前記保護領域内に形成する工程と、  
反強磁性層を前記シード層上および前記保護領域内に形成する工程と、  
前記底部磁性層を前記反強磁性層および前記保護領域内に形成し、前記底部磁性層が、上部凹み領域を有する工程と  
を備えたことを特徴とする請求項3に記載の方法。

## 【請求項5】

第1バリア層を、前記第1絶縁層上および前記保護領域内に形成し、前記第1バリア層が窒化物を含む工程と、  
導電性層を前記バリア層上および前記保護領域内に形成する工程と、  
第2バリア層を前記導電性層上および前記保護領域内に形成し、前記シード層が、前記第2バリア層上に形成される工程と、  
前記犠牲領域に重なる、前記バリア層と、前記導電性層と、前記シード層と、前記反強磁性層および前記底部磁性層の部分とを、前記犠牲領域とその上に形成した前記第1絶縁層の部分を前記除去するのと同時に除去する工程と、  
前記第1絶縁層を研磨のためのストップ層として使用して、前記第1絶縁層と前記第1バリア層と前記導電性層と前記第2バリア層と前記シード層と前記反強磁性層および前記底部磁性層の除去されなかった部分を研磨する工程と  
を備えたことを特徴とする請求項4に記載の方法。 40

## 【請求項6】

前記第1絶縁層と、前記第1バリア層と、前記導電性層と、前記第2バリア層と、前記シード層と、前記反強磁性層と、前記底部磁性層および前記犠牲領域の部分とを除去する工程が、エッチングを含むことを特徴とする請求項5に記載の方法。

## 【請求項7】

前記第1および第2バリア層が、タンタルを含むことを特徴とする請求項5に記載の方法。

## 【請求項8】

前記導電層が、銅を含むことを特徴とする請求項5に記載の方法。 50

## 【請求項 9】

前記シード層が、ニッケル鉄を含むことを特徴とする請求項 5 に記載の方法。

## 【請求項 10】

前記反強磁性層が、鉄マンガンを含むことを特徴とする請求項 5 に記載の方法。

## 【請求項 11】

前記底部磁性層が、ニッケル鉄を含むことを特徴とする請求項 5 に記載の方法。

## 【請求項 12】

前記犠牲領域が、酸化物を含むことを特徴とする請求項 5 に記載の方法。

## 【請求項 13】

前記上部磁性層を形成する工程が、

1 層の非磁気材料を前記底部磁性層上および前記底部磁性層の前記上部凹み領域内に形成する工程と、

前記上部磁性層を前記 1 層の非磁気材料上に形成する工程と、

第 3 バリヤ層を前記上部磁性層上に形成する工程と、

前記 1 層の非磁気材料の部分と、前記上部磁性層の部分および前記第 3 バリヤ層の部分とを除去して、前記非磁気材料と、前記上部磁性層および前記第 3 バリヤ層の島とを、前記底部磁性層の前記領域上に残す工程と

を備えたことを特徴とする請求項 5 に記載の方法。

## 【請求項 14】

前記 1 層の非磁気材料の部分と前記上部磁性層の部分および前記第 3 バリヤ層の部分を除去する工程が、エッチングを含むことを特徴とする請求項 13 に記載の方法。

## 【請求項 15】

前記 1 層の非磁気材料が、アルミニウム酸化物を含むことを特徴とする請求項 13 に記載の方法。

## 【請求項 16】

前記上部磁性層が、ニッケル鉄を含むことを特徴とする請求項 13 に記載の方法。

## 【請求項 17】

前記第 3 バリヤ層が、タンタルを含むことを特徴とする請求項 13 に記載の方法。

## 【請求項 18】

導電相互接続線を、前記非磁気材料と前記上部磁性層および前記第 3 バリヤ層の前記島上に形成し、前記導電相互接続線が、前記底部磁性層に対して直交することを特徴とする請求項 13 に記載の方法。

## 【請求項 19】

前記導電相互接続線が、ワード線であり、前記導電層がビット線であることを特徴とする請求項 18 に記載の方法。

## 【請求項 20】

誘電体層を、前記導電相互接続線と前記第 1 磁性層および前記基板上に形成することを特徴とする請求項 18 に記載の方法。

## 【請求項 21】

MRAM メモリデバイスを形成する方法であって、

自立型積層構造を基板の上方に形成し、前記積層構造が、窒化物側壁と前記側壁を相互接続する窒化物底部層と、前記窒化物側壁内部の導電層と、前記窒化物側壁内部および前記導電層上の第 1 磁性層とを含む工程と、

非磁性層を前記積層構造の領域上に形成する工程と、

第 2 磁性層を前記非磁性層上に形成する工程と

を備えたことを特徴とする方法。

## 【請求項 22】

前記自立型積層構造を形成する工程が、

隆起窒化物層領域を前記基板上に形成し、前記隆起窒化物層領域の間の前記基板の部分が露出する工程と、

10

20

30

40

50

窒化物層を、前記隆起酸化物層と前記基板の前記露出した部分の上に形成する工程と、  
前記導電層を前記窒化物層上に形成する工程と、  
前記第1磁性層を前記導電性層上に形成する工程と、  
前記窒化物側壁と、前記側壁の間の残存底部窒化物層と、該残存底部窒化物上の残存導電層および該残存導電層上の残存第1磁性層とを含む前記自立型積層構造を形成するために、前記酸化物領域の下の前記基板を露出するようにエッチングし、前記第1磁性層が上部凹み領域を有する工程と、  
前記窒化物側壁をストップ層として使用し、前記自立型積層構造を研磨する工程とを備えたことを特徴とする請求項21に記載の方法。

【請求項23】

前記自立型積層構造を研磨する工程が、前記第1磁性層の前記上部凹み領域を除去しないことを特徴とする請求項22に記載の方法。

【請求項24】

前記自立型積層構造を形成する工程が、  
第1パリヤ層を前記窒化物側壁内部および前記窒化物底部層上に形成し、前記導電層が、前記第1パリヤ層上に形成される工程と、  
第2パリヤ層を前記窒化物側壁内部および前記導電層上に形成する工程と、  
シード層を前記窒化物側壁内部および前記第2パリヤ層上に形成する工程と、  
反強磁性層を前記窒化物側壁内部および前記シード層上に形成し、前記第1磁性層が、前記反強磁性層上に形成される工程と、  
前記基板を露出しかつ前記自立型積層構造を形成するために、前記酸化物領域と、前記窒化物層と、前記第1および第2パリヤ層と、前記導電層と、前記シード層と、前記反強磁性層および前記第1磁性層とが同時にエッチングされる工程とを備えたことを特徴とする請求項22に記載の方法。

【請求項25】

前記窒化物側壁をエッチングストップ層として使用し、前記積層構造を研磨することを特徴とする請求項24に記載の方法。

【請求項26】

前記非磁性層および前記第2磁性層を前記形成する工程が、  
前記非磁性層を前記自立型積層構造と前記基板の上に形成する工程と、  
前記第2磁性層を前記非磁性層上に形成する工程と、  
前記第2磁性層と前記非磁性層の部分を、前記基板上および前記積層構造から除去し、前記第2磁性層および前記非磁性層が、前記積層構造の前記領域上に残存し、かつ前記第2磁性層および前記非磁性層を前記除去することが、前記積層構造上に、前記第2磁性層と前記非磁性層の島を残す工程とを備えたことを特徴とする請求項25に記載の方法。

【請求項27】

第3パリヤを前記第2磁性層上に形成し、その部分が前記第2磁性層と同時に除去され、前記第3パリヤ層の部分と、前記第2磁性層および前記非磁性層とを除去する工程が、エッチングを含むことを特徴とする請求項26に記載の方法。

【請求項28】

前記第1および第2パリヤ層が、タンタルを含むことを特徴とする請求項24に記載の方法。

【請求項29】

前記導電層が、銅を含むことを特徴とする請求項24に記載の方法。

【請求項30】

前記シード層が、ニッケル鉄を含むことを特徴とする請求項24に記載の方法。

【請求項31】

前記反強磁性層が、鉄マンガンを含むことを特徴とする請求項24に記載の方法。

【請求項32】

前記第1磁性層が、ニッケル鉄を含むことを特徴とする請求項24に記載の方法。

【請求項33】

前記非磁性層が、アルミニウム酸化物を含むことを特徴とする請求項26に記載の方法。

【請求項34】

前記第2磁性層が、ニッケル鉄を含むことを特徴とする請求項26に記載の方法。

【請求項35】

前記第3バリヤ層が、タンタルを含むことを特徴とする請求項27に記載の方法。

【請求項36】

導電相互接続線を前記第3バリヤ層上に形成し、前記導電相互接続線が、前記積層構造に対して直交することを特徴とする請求項27に記載の方法。

10

【請求項37】

前記導電相互接続線が、ワード線であり、前記導電層がビット線であることを特徴とする請求項36に記載の方法。

【請求項38】

誘電体層を前記導電相互接続線上に形成することを特徴とする請求項36に記載の方法。

【請求項39】

半導体デバイスを形成する方法であって、

MRAMセルの複数の層を基板上に形成することを含み、MRAMセルの前記複数の層のうちの少なくとも1つを前記形成する工程が、

少なくとも1つの第1自立型積層構造を基板上に形成し、前記少なくとも1つの自立型積層構造が、第1窒化物側壁と、前記第1窒化物側壁に相互接続する第1窒化物底部層と、前記第1窒化物底部層上と前記窒化物側壁内部の以下の各層である、前記第1窒化物底部層上の第1バリヤ層と、該第1バリヤ層上の導電層と、該導電層上の第2バリヤ層と、該第2バリヤ層上のシード層と、該シード層上の反強磁性層と、該反強磁性層上の底部磁性層とを有し、該底部磁性層が凹み領域を有する工程と、

20

第1非磁性層を、前記少なくとも1つの第1自立型積層構造の前記底部磁性層の第1領域上および前記底部磁性層の前記凹み領域内に形成する工程と、

第1上部磁性層を前記第1非磁性層上に形成する工程と、

第3バリヤ層を前記第1上部磁性層上に形成する工程と、

第1導電相互接続線を前記第3バリヤ層上に形成し、前記第1導電相互接続線が、前記少なくとも1つの第1自立型積層構造に対して直交する工程と

30

を備えたことを特徴とする方法。

【請求項40】

前記少なくとも1つの第1自立型積層構造を形成する工程が、

実質的に平行な第1隆起酸化物層領域を基板の部分上に形成し、前記第1隆起酸化物層領域の間の前記基板の部分が露出される工程と、

第1窒化物層を、前記第1隆起酸化物層領域と前記基板の前記露出部分の上に形成する工程と、

前記第1バリヤ層を前記第1窒化物層上に形成する工程と、

前記導電層を前記第1バリヤ層上に形成する工程と、

40

前記第2バリヤ層を前記導電層上に形成する工程と、

前記シード層を前記第2バリヤ層上に形成する工程と、

前記反強磁性層を前記シード層上に形成する工程と、

前記第1底部磁性層を前記反強磁性層上に形成する工程と、

前記少なくとも1つの自立型積層構造を形成するために、前記第1窒化物層領域の下の前記基板を露出するようにエッチングする工程と、

前記凹み領域を前記第1底部磁性層中に残すように、前記第1窒化物側壁をストップ層として使用し、前記少なくとも1つの自立型積層構造を研磨する工程と

を備えたことを特徴とする請求項39に記載の方法。

【請求項41】

50

誘電体層を、前記第1導電相互接続線および前記基板上に形成する工程と、  
M R A Mセルの少なくとも1つの第2層を前記誘電体層上に形成する工程と  
を備えたことを特徴とする請求項40に記載の方法。

【請求項42】

前記第1および第2バリヤ層が、タンタルを含むことを特徴とする請求項40に記載の方法。

【請求項43】

前記導電層が、銅を含むことを特徴とする請求項40に記載の方法。

【請求項44】

前記導電相互接続線が、銅を含むことを特徴とする請求項40に記載の方法。

10

【請求項45】

前記シード層が、ニッケル鉄を含むことを特徴とする請求項40に記載の方法。

【請求項46】

前記反強磁性層が、鉄マンガンを含むことを特徴とする請求項40に記載の方法。

【請求項47】

前記第1底部磁性層が、ニッケル鉄を含むことを特徴とする請求項40に記載の方法。

【請求項48】

前記第1非磁性層が、アルミニウム酸化物を含むことを特徴とする請求項40に記載の方法。

【請求項49】

20

前記第1上部磁性層が、ニッケル鉄を含むことを特徴とする請求項40に記載の方法。

【請求項50】

少なくとも1つの第2自立型積層構造を、前記第1自立型積層構造に隣接して実質的に平行に形成し、前記第2自立型積層構造が、前記第1の自立型積層構造と同一の層を含み、  
前記第1導電相互接続線が、それぞれの前記自立型積層構造の前記第3バリヤ層上にあり、  
かつ前記第1および第2自立型積層構造を接続することを特徴とする請求項40に記載の方法。

【請求項51】

前記第1および第2自立型積層構造の前記第1導電層がビット線であり、前記第1導電相互接続線がワード線であることを特徴とする請求項50に記載の方法。

30

【請求項52】

前記方法が、前記第1および第2自立型積層構造上で、前記導電相互接続線上および前記基板上に構成した誘電体層上で繰り返されることを特徴とする請求項50に記載の方法。

【請求項53】

M R A Mデバイスを形成する方法であって、  
実質的に垂直な側壁を有しかつ実質的に相互に平行である少なくとも2つの離隔された酸化物領域を基板上に形成する工程と、  
窒化物層を、前記少なくとも2つの、離隔された酸化物領域と前記基板の上に形成し、前記窒化物層が、前記少なくとも2つの、離隔された酸化物領域の前記実質的に垂直な側壁に形成される工程と、

40

第1バリヤ層を前記窒化物層上に形成する工程と、

導電層を前記第1バリヤ層上に形成する工程と、

第2バリヤ層を前記導電層上に形成する工程と、

シード層を前記第2バリヤ層上に形成する工程と、

反強磁性層を前記シード層上に形成する工程と、

底部磁性層を前記反強磁性層上に形成する工程と、

エッチングによって、前記少なくとも2つのスベーサ酸化物領域の下の前記基板を露出し、  
それによって残存前記窒化物層を含む窒化物側壁を形成し、該側壁が、前記第1バリヤ層と、前記導電層と、前記第2バリヤ層と、前記シード層と、前記反強磁性層および前記底部磁性層とを部分的に包囲する工程と、

50

前記底部磁性層が、その上部部分中に凹み領域を保持するように、前記窒化物側壁をスト  
ップ層として使用し、前記底部磁性層と、前記反強磁性層と、前記シード層と、前記第2  
パリヤ層と、前記導電層と、前記第1パリヤ層および前記窒化物層とを研磨する工程と、  
非磁性層を、前記底部磁性層と前記基板の上に形成する工程と、  
上部磁性層を前記非磁性層上に形成する工程と、  
第3パリヤ層を前記上部磁性層上に形成する工程と、  
前記底部磁性層の領域上に、前記非磁性層と、前記上部磁性層および前記第3パリヤ層の  
島を残すように、前記非磁性層と、前記上部磁性層および前記第3パリヤ層とをエッチン  
グする工程と、  
前記第3パリヤ層を研磨する工程と、  
誘電体層を前記第3パリヤ層と前記基板の上に形成する工程と、  
前記誘電体層を貫通して、前記島の上部を露出する工程と、  
導電相互接続線を前記島上に形成し、前記導電相互接続線が、前記底部磁性層に対して直  
交する工程と  
を備えたことを特徴とする方法。

10

【請求項54】

前記パリヤ層が、タンタルを含むことを特徴とする請求項53に記載の方法。

【請求項55】

前記導電層が、銅を含むことを特徴とする請求項53に記載の方法。

【請求項56】

前記シード層が、ニッケル鉄を含むことを特徴とする請求項53に記載の方法。

20

【請求項57】

前記反強磁性層が、鉄マンガンを含むことを特徴とする請求項53に記載の方法。

【請求項58】

前記底部磁性層が、ニッケル鉄を含むことを特徴とする請求項53に記載の方法。

【請求項59】

前記非磁性層が、アルミニウム酸化物を含むことを特徴とする請求項53に記載の方法。

【請求項60】

前記上部磁性層が、ニッケル鉄を含むことを特徴とする請求項53に記載の方法。

【請求項61】

前記導電相互接続線が、銅を含むことを特徴とする請求項53に記載の方法。

30

【請求項62】

前記導電相互接続線がワード線であり、前記導電層がビット線であることを特徴とする請  
求項53に記載の方法。

【請求項63】

誘電体層を前記導電相互接続線上に形成し、かつ前記誘電体層を研磨した後、前記方法  
を垂直方向に繰り返すことを特徴とする請求項53に記載の方法。

【請求項64】

基板と、  
側壁および前記側壁の間の底部部分を備え、前記下部基板の最上部分上にある、前記基板  
上の絶縁層と、  
前記絶縁層の前記底部部分上および前記側壁の間の第1導電層と、  
前記導電層上および前記側壁の間の第1磁性層と、  
前記第1磁性層の領域上の第2磁性層と  
を備えたことを特徴とするMRAMデバイス。

【請求項65】

前記底部絶縁層上および前記側壁の間の第1パリヤ層であって、前記第1導電層が前記第

1パリヤ層上にある第1パリヤ層と、

前記第1導電層上の第2パリヤ層と、

前記第2パリヤ層上のシード層と、

40

50

前記シード層上の反強磁性層であって、前記第1磁性層が前記反強磁性層上にある反強磁性層と

を備えたことを特徴とする請求項64に記載のMRAMデバイス。

【請求項66】

前記第1磁性層が、その部分中に上部凹み領域を有することを特徴とする請求項65に記載のMRAMデバイス。

【請求項67】

前記第1磁性層の前記領域上の非磁性層であって、前記非磁性層が、少なくとも部分的に前記第1磁性層の前記上部凹み内部にあり、かつ前記第2磁性層が前記非磁性層上にある非磁性層と、

10

前記第2磁性層上の第3バリヤ層と、

前記第3バリヤ層上にありかつ前記第1導電層に対して直交する第2導電層と

を備えたことを特徴とする請求項66に記載のMRAMデバイス。

【請求項68】

前記第1磁性層が固定磁気配向を有し、かつ前記第2磁気層が自由な磁気配向を有することを特徴とする請求項67に記載のMRAMデバイス。

【請求項69】

前記絶縁層が、窒化物を含むことを特徴とする請求項67に記載のMRAMデバイス。

【請求項70】

前記バリヤ層が、タンタルを含むことを特徴とする請求項67に記載のMRAMデバイス

20

【請求項71】

前記第1導電層が、銅を含むことを特徴とする請求項67に記載のMRAMデバイス。

【請求項72】

前記シード層が、ニッケル鉄を含むことを特徴とする請求項67に記載のMRAMデバイス。

【請求項73】

前記反強磁性層が、鉄マンガンを含むことを特徴とする請求項67に記載のMRAMデバイス。

【請求項74】

30

前記第1磁性層が、ニッケル鉄を含むことを特徴とする請求項67に記載のMRAMデバイス。

【請求項75】

前記非磁性層が、アルミニウム酸化物を含むことを特徴とする請求項67に記載のMRAMデバイス。

【請求項76】

前記上部磁性層が、ニッケル鉄を含むことを特徴とする請求項67に記載のMRAMデバイス。

【請求項77】

前記第2導電層が、銅を含むことを特徴とする請求項67に記載のMRAMデバイス。

40

【請求項78】

前記第1導電層がビット線であり、前記第2導電層がワード線であることを特徴とする請求項67に記載のMRAMデバイス。

【請求項79】

誘電体層を前記第2導電層上に設けたことを特徴とする請求項67に記載のMRAMデバイス。

【請求項80】

基板と、

前記基板の最上部分上の複数の実質的に平行で離隔された絶縁構造であって、前記絶縁構造が、側壁および前記側壁の間の底部部分をそれぞれ含み、前記構造の間におよび前記基

50



板上にある絶縁層によって分離される、絶縁層と、  
前記側壁内部および前記絶縁構造の前記底部部分上の第1バリヤ層と、  
前記第1バリヤ層上および前記側壁内部の第1導電層と、  
前記第1導電層上および前記側壁内部の第2バリヤ層と、  
前記第2バリヤ層上および前記側壁内部のシード層と、  
前記シード層上および前記側壁内部の反強磁性層と、  
その部分中に上部凹みを有する、前記反強磁性層上および前記側壁内部の第1磁性層と、  
前記第1磁性層上および少なくとも部分的に前記上部凹み内部にある非磁性層、前記非磁性層上の第2磁性層、および前記第2磁性層上の第3バリヤ層を含む、前記第1磁性層上の複数の島と、

10

前記第1磁性層に対して直交する、前記複数の島のそれぞれの島上の第2導電層とを備えたことを特徴とするメモリデバイス。

【請求項81】

前記第1磁性層が固定磁気配向を有し、かつ前記第2磁性層が自由な磁気配向を有することを特徴とする請求項80に記載のメモリデバイス。

【請求項82】

前記複数の絶縁構造の前記側壁と前記底部部分が、窒化物を含むことを特徴とする請求項80に記載のメモリデバイス。

【請求項83】

前記バリヤ層が、タンタルを含むことを特徴とする請求項80に記載のメモリデバイス。 20

【請求項84】

前記導電層が、銅を含むことを特徴とする請求項80に記載のメモリデバイス。

【請求項85】

前記シード層が、ニッケル鉄を含むことを特徴とする請求項80に記載のメモリデバイス。

【請求項86】

前記反強磁性層が、鉄マンガンを含むことを特徴とする請求項80に記載のメモリデバイス。

【請求項87】

前記第1磁性層が、ニッケル鉄を含むことを特徴とする請求項80に記載のメモリデバイス。 30

【請求項88】

前記非磁性層が、アルミニウム酸化物を含むことを特徴とする請求項80に記載のメモリデバイス。

【請求項89】

前記第2磁性層が、ニッケル鉄を含むことを特徴とする請求項80に記載のメモリデバイス。

【請求項90】

前記第1導電層がディジット線であり、前記第2導電層がセンス線であることを特徴とする請求項80に記載のメモリデバイス。 40

【請求項91】

前記第2導電層上に誘電体層をさらに含むことを特徴とする請求項80に記載のメモリデバイス。

【請求項92】

下部基板の最上レベルの上方にある、1対の窒化物側壁および前記側壁の間の窒化物底部層と、

前記窒化物層上および前記窒化物側壁内部の第1バリヤ層と、  
前記第1バリヤ層上および前記窒化物側壁内部の第1導電層と、  
前記第1導電層上および前記窒化物側壁内部の第2バリヤ層と、  
前記第2バリヤ層上および前記窒化物側壁内部のシード層と、

50

前記シード層上および前記窒化物側壁内部の反強磁性層と、  
その中に上部凹み領域を有する、前記反強磁性層上および前記窒化物側壁内部の第1磁性層と、  
前記第1磁性層の領域上および前記第1磁性層の前記上部凹み領域内の非磁性層と、  
前記非磁性層上の第2磁性層と、  
前記第2磁性層上の第3バリヤ層と  
前記第3バリヤ層上の第2導電層であって、前記第1磁性層に対して直交する第2導電層と  
を備えたことを特徴とするMRAMデバイス。

【請求項93】

前記バリヤ層が、タンタルを含むことを特徴とする請求項92に記載のMRAMデバイス

【請求項94】

前記導電層が、銅を含むことを特徴とする請求項92に記載のMRAMデバイス。

【請求項95】

前記シード層が、ニッケル鉄を含むことを特徴とする請求項92に記載のMRAMデバイス。

【請求項96】

前記反強磁性層が、鉄マンガンを含むことを特徴とする請求項92に記載のMRAMデバイス。

【請求項97】

前記第1磁性層が、ニッケル鉄を含むことを特徴とする請求項92に記載のMRAMデバイス。

【請求項98】

前記非磁性層が、アルミニウム酸化物を含むことを特徴とする請求項92に記載のMRAMデバイス。

【請求項99】

前記第2磁性層が、ニッケル鉄を含むことを特徴とする請求項92に記載のMRAMデバイス。

【請求項100】

前記第2導電層がセンス線であり、前記第1導電層がディジット線であることを特徴とする請求項92に記載のMRAMデバイス。

【請求項101】

前記第2導電層上に誘電体層を設けたことを特徴とする請求項92に記載のMRAMデバイス。

【請求項102】

プロセスと、前記プロセスに結合されたMRAMメモリ回路を含むプロセスシステムであって、前記MRAMメモリ回路が、

1対の側壁および前記側壁に相互接続する底部部分を有し、下部基板およびその最上部分の上方にある絶縁構造と、

前記絶縁構造の前記底部部分上および前記側壁内部の第1導電層と、

前記第1導電層上および前記側壁内部のシード層と、

前記シード層上および前記側壁内部の反強磁性層と、

前記反強磁性層上および前記側壁内部の第1磁性層と、

前記第1磁性層の領域上の非磁性層と、

前記非磁性層上の第2磁性層と、

前記第2磁性層上にあり、かつ前記第1磁性層に対して直交する第2導電層と

を備えたことを特徴とするプロセスシステム。

【請求項103】

前記絶縁構造の前記底部部分上および前記側壁内部の第1バリヤ層であって、前記第1導

電層が前記第1バリヤ層上にある第1バリヤ層と、  
前記第1導電層上の第2バリヤ層であって、前記シード層が前記第2バリヤ層の上にある第2バリヤ層と、  
前記第2磁性層上の第3バリヤ層であって、前記第2導電層が前記第3バリヤ層上にある第3バリヤ層と  
を備えたことを特徴とする請求項102に記載のフロセッサシステム。

【請求項104】

前記第1磁性層が上部凹み領域を有し、かつ前記非磁性層が前記第1磁性層の前記上部凹み領域内にあることを特徴とする請求項103に記載のフロセッサシステム。

【請求項105】

前記絶縁構造の前記側壁および前記底部部分が、窒化物を含むことを特徴とする請求項104に記載のフロセッサシステム。

【請求項106】

前記バリヤ層が、タンタルを含むことを特徴とする請求項104に記載のフロセッサシステム。

【請求項107】

前記導電層が、銅を含むことを特徴とする請求項104に記載のフロセッサシステム。

【請求項108】

前記シード層が、ニッケル鉄を含むことを特徴とする請求項104に記載のフロセッサシステム。

【請求項109】

前記反強磁性層が、鉄マンガンを含むことを特徴とする請求項104に記載のフロセッサシステム。

【請求項110】

前記第1磁性層が、ニッケル鉄を含むことを特徴とする請求項104に記載のフロセッサシステム。

【請求項111】

前記非磁性層が、アルミニウム酸化物を含むことを特徴とする請求項104に記載のフロセッサシステム。

【請求項112】

前記上部磁性層が、ニッケル鉄を含むことを特徴とする請求項104に記載のフロセッサシステム。

【請求項113】

前記第2導電層がセンス線であり、前記第1導電層がディジット線であることを特徴とする請求項104に記載のフロセッサシステム。

【請求項114】

前記第2導電層上に誘電体層を設けたことを特徴とする請求項104に記載のフロセッサシステム。

【請求項115】

フロセッサおよびMRAM回路が、単一チップ上に集積されていることを特徴とする請求項104に記載のフロセッサシステム。

【請求項116】

MRAM構造を形成する方法であって、  
間隔を空けて長手方向に延長する複数の犠牲領域を絶縁層上に形成する工程と、  
複数の材料層を前記絶縁層と前記犠牲領域の上に形成し、前記材料層のうちの最下部層が、前記離隔された犠牲領域の間でU字形断面を有する絶縁層であり、前記材料層のうちの少なくとも1層が、前記材料層の前記絶縁層上に形成した導電層であり、さらに前記材料層のうちの少なくとも1層が、前記導電層上に形成した磁気材料層である工程と、  
前記U字形断面を有する前記最下部絶縁層の部分、および前記絶縁層の前記U字形断面内部に形成した前記導電および前記磁気材料層の部分を含む、複数の空周スタック構造を形

10

20

30

40

50

成するために、前記犠牲層および前記犠牲層に重なる前記材料層を除去するためにエッチングする工程と

を備えたことを特徴とする方法。

【請求項117】

前記離隔された複数の積層構造と絶縁層の上に非磁性層を形成する工程と、

前記非磁性層上に第2磁性層を形成する工程と、

エッチングによって、前記非磁性層と前記第2磁性層の部分を除去し、前記離隔された複数の積層構造の前記磁性層の領域上に、前記非磁性層と前記第2磁性層の島を残す工程とを備えたことを特徴とする請求項116に記載の方法。

【発明の詳細な説明】

10

【0001】

(発明の分野)

本発明は、MRAM構造の製造方法に関し、より詳細には、絶縁層上および保護側壁内部に形成した固着層を有するMRAM構造に関する。

【0002】

(発明の背景)

集積回路設計者は常に、理想的な半導体メモリ、すなわち、ランダムにアクセス可能であり、高速書き込みまたは読み出しが可能であり、不揮発性であるが、無制限に書き換えが可能であり、低消費電力であるデバイス进行研究してきた。磁気抵抗ランダムアクセスメモリ(MRAM)技術は、これらの利点をすべて提供するものと益々考えられている。

20

【0003】

磁気メモリ素子は、非磁性層によって分離した磁性層を含む構造を有する。これらの磁性層の磁化ベクトルの方向として、情報を「1」または「0」として読み出すことができる。一方の磁性層中の磁気ベクトルは磁氣的に固定または固着されているが、他方の磁性層の磁気ベクトルは固着されておらず、磁化方向がその固着層に対して相対的に「平行」状態と「反平行」状態の間で自由に切り換わる。平行状態および反平行状態に对应して、磁気メモリ素子が、2つの異なる抵抗状態を表し、それらが「1」または「0」としてメモリ回路によって読み出される。MRAMが情報を読み出しかつ書き込むことができるのは、異なる磁気配向についてこれらの抵抗状態を検出することによる。

【0004】

30

標準的なMRAM加工では、光学フォトリソグラフィの使用に関していくらか敏感である。一般に自由磁性層は、先行して堆積された銅の相互接続線およびその上に載る固着磁性層から別々にパターン形成される。この別々のパターン形成には、自由層を固着層上に配置するために位置決めがクリティカルである光ステップが必要である。

【0005】

一般にスピンエッチングを使用して固着層を形成する。スピンエッチングによって、固着層の中心部を、それより外側の領域よりも大幅に「皿状にする」つまり凹ませる。この凹んだ形状が望ましいのは、それが、磁界をより多く自由磁性層に向け、それによって自由層の状態を変えるのに必要な電流を減少させると考えられるからである。スピンエッチングは、ウェーハの中心部と外側領域の間のばらつきに関連するため、不均一であることで悪名高い。さらに、この工程によって生じるスピンのトレーリングエッジにおける偏りに関する問題も存在する。

40

【0006】

MRAM構造をより正確で信頼性のある方式で形成するMRAM構造の製造方法を有することが望まれる。MRAM構造の側壁保護、銅のマイグレーション防止、構造の正確な形成はすべて、改良が望まれる特徴である。さらに、ウェーハ全体のより均一な構造を実現するために、スピンエッチングの必要がないMRAM構造の加工も有利であろう。

【0007】

(発明の概要)

本発明は、MRAM構造の製造方法を提供することである。本発明のMRAM構造は、ト

50

レンチ内部で窪んだ固着層を備えず、代わりに絶縁層上にそれを形成する。本発明の製造方法は、MRAM構造の底部磁性層のために側壁保護を設け、より信頼性のある構造を確保し、また、自己整合工程によってMRAMスタックを形成することも可能にする。この自己整合工程によって、底部磁性層を一体化するMRAMの底部部分を単一エッチングステップで形成し、さらに上部磁性層を一体化する上部部分を、底部磁性層上に上部磁性層を位置決めする別の単一自己整合エッチングステップで、底部磁性層上に形成する。

#### 【0008】

この工程によって、トレンチ工程技術を使用しないでMRAM構造を製作することができる。それは、光学フォトリソグラフィに伴う敏感性および固着層のための凹み領域のスピンエッチングに伴う加工のばりつきの多くを解消する。最後に、それによって、MRAMの電気的特徴を向上させるために上部部分を底部磁性層上に位置決めする際に、その上部部分を正確に制御することができる。

#### 【0009】

これらおよび他の本発明の特徴および利点が、添付図面と関連して供する本発明の以下の詳細な説明によってさらに明確に理解されよう。

#### 【0010】

(好ましい実施の形態の詳細な説明)

以下の詳細な説明では、本発明を実施することができる様々な具体的な実施形態を参照する。当業者が本発明を実施できるように、これらの実施形態を十分詳細に説明するが、他の実施形態を使用することも可能であり、かつ本発明の趣旨または範囲から逸脱することなく構造のおよび電気的変更がなされ得ることを理解されたい。

#### 【0011】

「基板」および「ウェーハ」という用語は、以下の説明では互換性をもって使用されており、任意の半導体ベース構造を含むことができる。その構造には、シリコン、絶縁体上シリコン(SOI)、シリコンオンサファイア(SOS)、ドーパおよび非ドーパ半導体、ベース半導体基部によって支持されるシリコンのエピタクシャル層および他の半導体構造が含まれることを理解されたい。半導体がシリコンベースである必要はない。半導体は、シリコン-ゲルマニウム、ゲルマニウムまたはヒ化ガリウムでもよい。以下の説明で基板に言及するとき、ベース半導体または基部の中または上に領域または接合部を形成するために、従来の工程ステップを使用した場合もある。

#### 【0012】

「金属」という用語は、元素金属ばかりでなく、他の痕跡金属を含有する金属または半導体技術で知られている他の金属との様々な合金として組合せた金属(そのような合金がその金属の物理的および化学的性質を保持する限り)が含まれることを意図する。「金属」という用語はまた、そのような金属の導電性酸化物を含むことを意図する。

#### 【0013】

以下に説明する方法ステップは、先のステップの結果が論理的に必要なステップ以外、特定の順序を要求しない。したがって、以下に説明するステップの多くは、典型的な順序で実施するように説明しているが、このような順序を変更してもよい。

#### 【0014】

本発明は、固着層、すなわち底部磁性層(M1)をトレンチ内部に引っ込める必要がないMRAM構造の製造方法を提供することである。さらに、本製造方法では、そのMRAM構造に保護側壁が得られる。このような保護側壁が、M1相互接続線、すなわちディジット線からの銅のマイグレーションを防止することによって信頼性をさらに向上させ、加工中にMRAMスタックを正確に形成することもできる。さらに、本発明の工程を用いることによって、固着層のための凹み領域のスピンエッチングに関連する加工のばりつきと同様に、光学フォトリソグラフィに関連する加工の敏感性の多くが解消される。最後に、本発明の方法によって、MRAM構造の電気的特徴を向上させるために、上部磁性層(M2)のサイズおよびM1層上への位置決めを正確に制御することができる。

#### 【0015】

ここで、同じ要素を同じ参照符号によって示す図面を参照すると、図1は、半導体層8、その半導体層8上のCMOSアクセスおよび論理トランジスタを有する層10および絶縁材料、好ましくはTEOSまたはCVD室化物の層11が備わっている中間段階にある加工中のMRAMメモリセルの断面図を示す。絶縁層11は、約5000Åの厚さでなければならぬ。CMOSアクセストランジスタ（図示せず）は、本発明の工程によって製作すべきMRAMデバイスの機能（読み出しおよび書き込み）を制御するMRAMアレイ周縁部の周りおよび下の領域内の半導体層8上および層10内部に作製することができる。論理またはデコーダトランジスタなどの他のトランジスタがこの同じ層10中であるが、MRAMアレイの下部に作製される。このようなMRAMトランジスタの配置がウェーハ上に貴重なスペースを温存する。以後に論じるすべてのMRAMの製作ステップが、内部にCMOSTランジスタ構造を形成し、さらにこれらの構造の上に平面絶縁層11表面を形成する層10上で行われる。層8、10および11は、以後の加工ステップのための基板であると考えることができる。

#### 【0016】

酸化物層12を絶縁層11上に形成する。これは、化学蒸着法（CVD）によるなど、任意の従来手段によって当業で知られているように達成する。後の加工ステップまで除去されることがない領域のエッチングを防止するために、この酸化物層12をフォトリジストマスク14でパターン形成する。その保護された酸化物層12領域は、第1製作段階中、MRAMスタック32のためのセパレータとしての役割を果たす。

#### 【0017】

ここで図2を参照すると、フォトリジストマスク14を使用して、酸化物層12の部分を除去して下部の絶縁層11を露出させる。これは、除去しないこれらの部分上に、フォトリジストマスク14を現像した後に複数の方法で達成することができる。スペース酸化物エッチングに加えてフッ素エッチングが使用可能であり、スペースエッチングが使用可能であり、さらに酸化物を非酸化層内部に注入し、次いで酸化された領域を除去するための選択的ウェットエッチングも使用可能である。フォトリジスト14を酸化物層12の残存部分上から除去することもできる。このステップでは、図2に示すように将来のMRAMスタック32（図7参照）の間にある基板10の部分上に酸化物層12を残しておく。これらの酸化物層12の残存部分がウェーハ上面の輪郭となるように意図されている。

#### 【0018】

図3を参照すると、次にMRAMスタック32（図7参照）の底部部分38（図4参照）を形成するために、一連の層が絶縁層11および残存酸化物層12上に堆積されている。これらの層の第1層が絶縁室化物層16である。その室化物層16をCVD、プラズマCVDまたは原子層蒸着法によって形成することができるが、側壁を形成可能なほどの厚さでなければならぬが、200Å足らずで十分であろう。アルミニウム酸化物、シリコン酸化物またはアルミニウム室化物などの他の絶縁層を層16に代替的に使用することができる。この室化物層16上に、タンタルの層18を堆積する。このタンタル層18は、粘着、バリアおよびエッチングストップ層であり、約100Åの厚さにスパッタ堆積することができる。次に、タンタルの層18上に銅の層20を堆積する。この銅の層20が、相互接続線を形成し、かつMRAM固着層（M1 22）と下部CMOS層10中の関連するCMOS回路の間の導電体であり、それを電気めっきまたはスパッタリングによって形成することができるが、それは約2000Åの厚さでなければならぬ。この銅の層20の相互接続をMRAMデバイスに関するディジット線またはビット線として使用することができる。タンタルを含む別のバリア層19を銅の層20上に堆積する。このバリア層は、約20-400Åの厚さでよい。このバリア層19が、ディジット線の銅を続いて形成する層から分離する。次に底部磁性層領域に関するシード層21をこれらの層16、18、19、20上に堆積する。そのシード層は、NiFeを含むことができ、約10-100Åの厚さでなければならぬ。このシード層21によって、次に堆積する反強磁性層23の適正な結晶成長が可能になる。底部磁性層の固着を可能にするために、反強磁性層23をシード層上に形成する。その反強磁性層23はFeMnでよく、約10-100Åの厚

すでなければならない。第1磁性層(M1)22をこの反強磁性層23上に形成する。

【0019】

酸化物層12の残存部分上および側面に堆積した窒化物層16が、下部基板10に対して相対的にその最も高い箇所、下部基板に対して相対的に最も低いM1層22の部分よりも高いところにあるように、図8に示すような共形的な態様で、これらの層16、18、19、20、21、23、22を堆積する。

【0020】

窒化層16は保護および包囲層である。それは工程の後段で酸化物のウェット除去を可能にする差層となり、下に説明するCMP工程のためのストップ層の役割をするので、それは後続の工程ステップの自己整合の部分を見込む。それはMRAM構造への側方ダメージに対する包囲バリヤであり、ディジット線を形成する銅の層20からの銅のマイグレーション防止を助ける。

【0021】

スパッタリングまたは蒸着技術などの任意の従来の方法によって、M1層22を堆積することができるが、使用する材料に応じて約10-100Åの厚さでなければならない。M1層22は、ニッケル鉄コバルト(NiFeCo)合金、または任意の同様な複合材料もしくは合金などの適正な磁気的性質を有する多様な材料のいずれか1つまたは複数の層でよい。この第1磁性層22はニッケル鉄(NiFe)が好ましい。M1層22は固着層を形成することになるが、MRAM動作中、M1層22へのアクセス時に、その層の磁気配向が固定されていることを意味する。このM1層22は、単一方向に固定した磁界をこのM1層22のために生成する下部の反強磁性層23と結合しているので固着される。

【0022】

図4を参照すると、残存酸化物層12上の層16、18、19、20、21、23、22の領域および酸化物層12自体を除去し、下部絶縁層11を露出するように、堆積したばかりの層16、18、19、20、21、23、22および下部の残存酸化物層12をパターン形成しかつエッチングする。これは、フッ化水素酸でエッチングすることによって達成することができる。層16、18、19、20、21、23、22が、窒化物底部層16上およびこれらの層の不用な部分を選択的に除去することによって作製した窒化物側壁24の内部に残存するように、これらの層を、図2に関連して説明したように、最初に酸化物層12を除去した絶縁層11上に残さなければならない。次に、窒化物層16をストップ層として使用して、これらの層をCMP(化学的機械的研磨)によって研磨し、図4に示すようにMRAM底部部分38のための積層を形成する。図4および図8に示すように、その得られる構造は、底部窒化物層16が、MRAM構造の底部の高さ全体に関する完全な側壁24とその底部の長さに関する層16の残存底部部分とを形成するような構造でなければならない。その構造の最上部のM1層22はまた、図4および図8に示すように、窒化物の側壁24の頂部より下方にある凹んだ領域26を組み込まなければならない。M1層22のこのような凹んだ領域26は、層16、18、19、20、21、23、22の共形的な堆積によって自然に生じたものであり、さらに、図8に関連して上で説明したように、M1層22のこのような凹んだ領域26より高い最大高さに窒化物層16を形成したので、CMP工程が可能となった。この方法によって凹んだ領域26を形成することによって、従来技術で使用するような、固着層のための凹みのスピンエッチングに伴う加工のはらつきを解消し、したがってより均一な構造が得られる。窒化物の側壁24が、従来技術では、デバイス分離を実現するために、異方性エッチングに依存していたために発生の恐れがあった構造間のブリッジングを防止することによって、構造的な信頼性が備わる。その側壁24はまた、銅の層20を閉じ込め、かつ銅がディジット線から周囲のどの層にもマイグレーションしないようにする。窒化物の側壁24技術の使用は、側壁24の形成に寄与する最初の酸化物パターンが、位置決めに敏感ではない1Fサイズにおける(αtα1Fsize)単一限界整列(single critical alignment)であるために、MRAMスタック32を形成するためのより正確な方法である。

## 【0023】

図5を参照すると、次に非磁性層28を積層スタックおよび絶縁層11上に共形的に堆積する。この非磁性層28は、アルミニウム酸化物( $Al_2O_3$ )または同等の性質を有する別の適切な材料でよく、その層を基板10および積層スタック上にアルミニウム被膜を堆積することによって形成し、次いで高周波酸素プラズマなどの酸化源によってそのアルミニウム被膜を酸化する。この非磁性層28は、約5-25Åの厚さでなければならない。述べたようにこの層は非磁性であり、かつMRAM動作中は、磁性層に関するトンネル酸化物層、電子共有層またはバリヤ層としての役割を果たす。アルミニウム酸化物の非磁性層28は、2つの磁性層の磁気配向が反対であり、それらを吸引させるので、電子共有層としての役割を果たす。電子が、非磁性、非導電性層28の価電子帯を介して共有され、電子のマイグレーションを可能にする。しかし、2つの磁性層の磁気配向が同じであり、それらを反発させるとき、このアルミニウム酸化物層28は、電子のマイグレーションを妨げる効果的なバリヤ層となる。

10

## 【0024】

第2磁性層(M2)30をこの非磁性層28上に共形的に堆積する。このM2層30は、MRAMデバイス32の自由層を形成する。M2層30は、M1層22の材料と同じ材料、好ましくはNiFeの1つまたは複数の層から構成されもよく、同様に10-100Åの厚さでなければならない。酸化および拡散バリヤ保護となるキャッピングおよびバリヤ層をM2層30上に形成する。この層31は、タンタルから成っていてもよく、約20-400Åの厚さでなければならない。

20

## 【0025】

M1層22(固着層)とは異なり、M2層30は、固定した磁化配向を有しておらず、この配向を自由に交番することになり、したがって、メモリセルの記憶値を決定する要素の役割をする。MRAMデバイスが2つの論理レベルの一方のレベルとしてデータを記憶できるのはM2層30の磁気配向の交番による。これは、M2層30のセンス線の電流を一方向またはその逆方向に変え、それによって関連する磁界を反転させることによって達成する。M2層30に関して逆方向の電流が流れることによって、逆の極性の磁界が得られ、その磁界が、異なる抵抗としてセンス線によって「0」または「1」が読み出されるように、M1層22の固定された磁界と相互作用する。

30

## 【0026】

図6を参照すると、ここではMRAMスタック32が基板上でパターン形成されている。これは自己整合工程である。キャッピングおよびバリヤ層31と、M2層30と、MRAMスタック32の底部部分38の残存層16、18、19、20、21、23、22の上に、別のフォトリソマスク15を形成しかつパターン形成する。このフォトリソマスク15は、M1層22上の別個でかつ分離されたM2層30および非磁性層28(層31でキャッピングされている)を形成する。

## 【0027】

図7を参照すると、次に層31、M2層30および非磁性層28が除去され、下部絶縁層11およびMRAMスタック32の底部部分38の一部分が露出する。これは、下にある材料の上で層31、M2層30およびアルミニウム酸化物の非磁性層28を選択エッチングし、MRAMスタック32の底部部分38の列の上に、層31、30および28の別個の島34を残すことによって達成する。次いでフォトリソマスク15を除去して、さらに図7の示すMRAMスタック32を形成するために、MRAMスタック32上の島34をCMPによって研磨する。

40

## 【0028】

本発明の方法によって、図6および図7に関連して説明したマスキングおよびエッチングステップによってM1層22上にかつそれに対して、M2層30の位置決めを正確に制御することができる。このような正確な制御によって、MRAMデバイスの電気的特徴が向上する。磁気材料と非磁気材料と窒化物の側壁24との間の特徴の違いのために、所望の応用例に応じて、複数のレチクルを必要としないで、M2層30の外縁部をM1層22の

50



外縁部の外側または内側にあるように調節することができ、本発明はまた、既に形成されたM1層22上のみM2層30および非磁性層28を残すように、それらの層28、30をエッチングするとき、M1層22を含むすでに形成した下部構造およびここで形成したM2層30を含む完全なMRAMスタック32を単一の自己整合ステップで形成するので、M1層22上にM2層30を位置決めする際の横方向の敏感性を軽減する。

【0029】

図8を参照すると、示されているように、MRAMスタック32の形成後、MRAMスタック32の頂部上のM2層30および非磁性層28（およびキャッピング/バリア層31）の島34が、その島34、MRAMスタック32の底部部分38の露出した列、および下部ウェーハの上に誘電材料の層40を堆積することによって分離されている。その誘電材料層40は、TEOSまたはCVD窒化物でよい。

10

【0030】

相互接続線を形成できるように、誘電材料層40を貫通してエッチングすることによって、それぞれの島34のキャッピングおよびバリア層31を再び露出させる。島34のM2層30を、MRAMスタック32の下部底部部分38に対して直交するように形成したセンス線またはワード線である上部導電性相互接続線36に（層31を介して）接続する。それによって、島34のM2層30を、この上部導電性相互接続線36によって他のM1層22上の他の島34のM2層30に接続する。この上部導電性相互接続線36は、銅でありかつ約2000Åの厚さであることが好ましい。次に誘電体層（図示せず）をMRAMスタック32および上部導電性相互接続線36の上にプランケット堆積する。この誘電体層を研磨して上部導電性相互接続線36上に平坦化した表面を形成する（例示目的では図示せず）。この誘電体層もTEOSまたはCVD窒化物でよい。

20

【0031】

述べたように、窒化層16、タンタル層18、銅の層20およびM1層22を含め、それぞれのMRAMスタック32の底部部分38は、M2層の島34の下を連続的に伸びて、上部導電性相互接続線36に対して直交して一列に並び、M2層の複数の島34を接続する。同一の上部導電性相互接続線36上で接続されていないまたは同一のM1層22上で接続されている、M2層の島34のすべてを、ウェーハ全体の上に堆積した誘電体層40によって相互から電氣的に分離する。各MRAMスタック32の下部の底部部分38も同様に、この誘電体層40によって他のMRAMスタック32から電氣的に分離する。

30

【0032】

MRAMスタック32、M2層の島34の形成、MRAMスタック32とM2層の島34の分離、および上部導電性相互接続線36の形成を行った後、当業で知られているMRAM加工が続く。

【0033】

上述したように、MRAMデバイスは、制御トランジスタに接続されている。これらの制御トランジスタ（図示せず）は、CMOS層11内部に作製されており、MRAMアレイ周りの周縁部に位置することができ、M1およびM2層22、30に関する銅の相互接続線20、36、すなわちディジットおよびセンス線からの接点、つまり、それぞれの銅の相互接続部に関して1つの接点が存在し得る。それぞれの接点は、メモリデバイスをオンまたはオフにするために使用する少なくとも1つの制御トランジスタに、その周縁部で接続されている。これらのトランジスタは、当業で知られている標準的なCMOS加工によって形成可能である。ウェーハのスペースを温存するために、論理およびデコーダトランジスタなどの付随トランジスタの少なくとも幾つかをMRAMアレイの下部に配置することができ、

40

【0034】

本発明は、上述したように、高レベルに垂直集積したMRAMデバイスを形成することができ、これは、複数の同じスタックおよび垂直方向の接続を形成することによって達成することができる。図1～図8に関連して説明したように、MRAMスタック32および接続を垂直方向に複数回繰り返すことが可能であり、それによって貴重なウェーハのスペ

50

ースを節約する。上で説明したように、これらの追加的な集積レベルをMRAMデバイスの上部銅相互接続線36上または周りに形成した誘電体層上に形成することができる。図1〜図8に関連して説明したように、第2集積レベルを同じ方式によってこの誘電体層上に形成することができる。

#### 【0035】

図9は、上述したMRAMメモリデバイスを有するメモリを使用できるプロセッサシステム（例えば、コンピュータシステム）を例示する。そのプロセッサシステムは、中央処理装置（CPU）102、メモリ回路104および入力／出力デバイス（I/O）100を備える。メモリ回路104には、本発明に従って構成されたデバイスを含めて、MRAMおよび可能な別のメモリデバイスが内蔵されている。また、CPU102は、それ自体が集積プロセッサでよく、そこでは、本発明の利点を最大限利用するためにCPU102およびメモリ回路104を単一のチップ上に集積することができる。この例示されている処理システムアーキテクチャは、本発明を使用することができる数多くの異なるプロセッサシステム設計の単なる典型例に過ぎない。

10

#### 【0036】

上記および添付図面は、本発明の特徴および利点を実現することができる典型的な実施形態の単なる例示に過ぎない。ここに図示しかつ詳細に説明した実施形態に、本発明を限定することは意図されていない。本発明は、本発明の趣旨および範囲に対応する、これまでに説明していない任意の数の変形、変更、代用または均等構成を組み込むために修正され得る。本発明は以下の特許請求の範囲によってのみ限定される。

20

#### 【図面の簡単な説明】

##### 【図1】

本発明によるMRAMデバイス加工の中間段階を例示する図である。

##### 【図2】

図1に例示した段階に続く、本発明によるMRAMデバイス加工の段階を例示する図である。

##### 【図3】

図2に例示した段階に続く、本発明によるMRAMデバイス加工の段階を例示する図である。

##### 【図4】

図3に例示した段階に続く、本発明によるMRAMデバイス加工の段階を例示する図である。

30

##### 【図5】

図4に例示した段階に続く、本発明によるMRAMデバイス加工の段階を例示する図である。

##### 【図6】

図5に例示した段階に続く、本発明によるMRAMデバイス加工の段階を例示する図である。

##### 【図7】

図6に例示した段階に続く、本発明によるMRAMデバイス加工の段階を例示する図である。

40

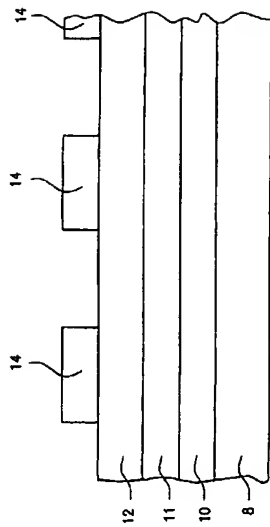
##### 【図8】

基底磁性層線に対する上部磁性層の島間の相互接続を例示する積層MRAMデバイスの切開図である。

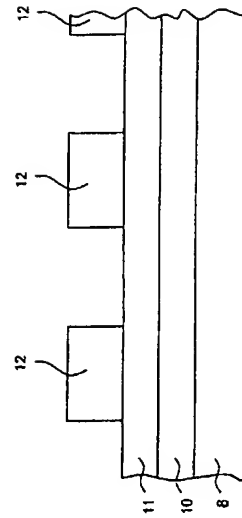
##### 【図9】

メモリ回路を有しかつ本発明に従って製作したMRAMデバイスを組み込んでいるプロセッサを基にしたシステムを例示する図である。

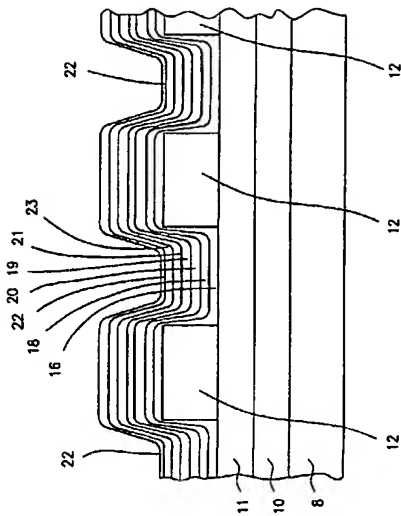
【図 1】



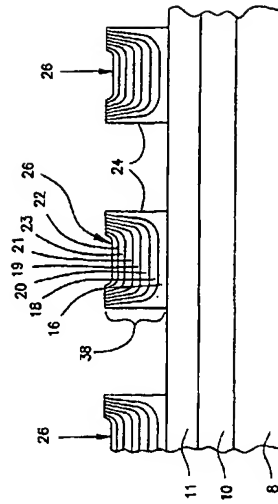
【図 2】



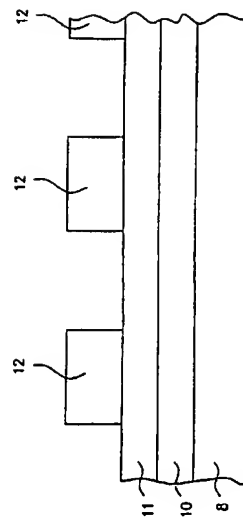
【図 3】



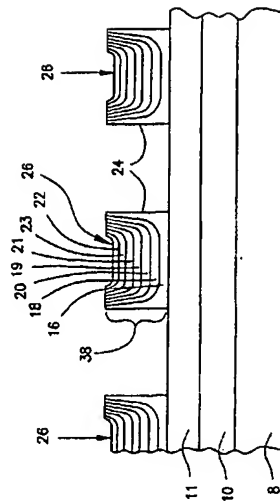
【図 4】



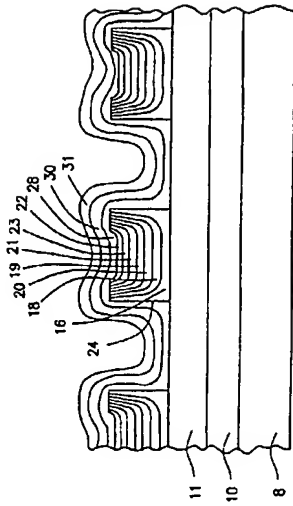
【 ㊦ 2 】



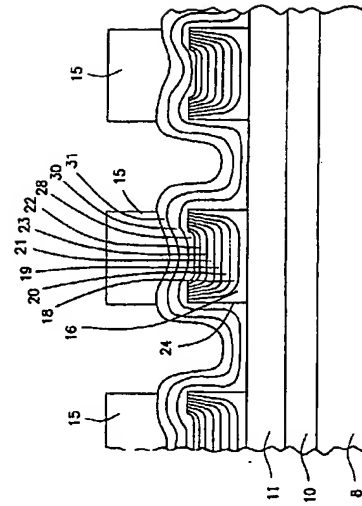
【 ㊦ 4 】



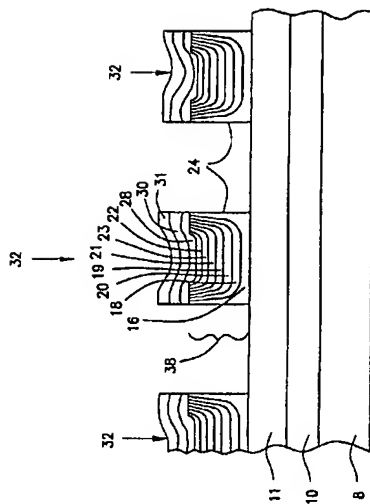
【図 5】



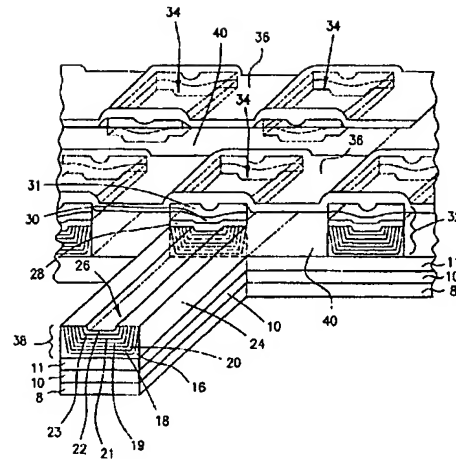
【図 6】



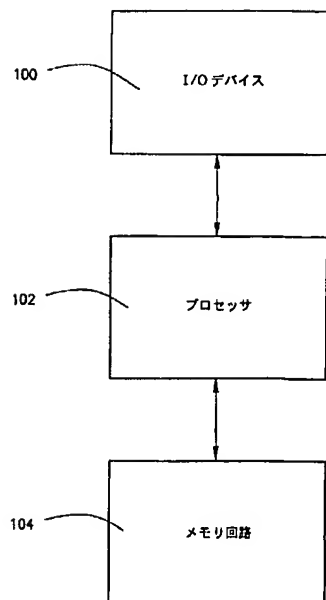
【図 7】



【図 8】



【図 9】



## 【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau(43) International Publication Date  
26 September 2002 (26.09.2002)

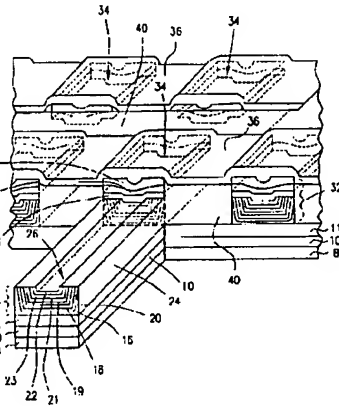
PCT

(10) International Publication Number  
WO 02/075782 A2

- (51) International Patent Classification: H01L  
 (21) International Application Number: PCT/US02/07284  
 (22) International Filing Date: 12 March 2002 (12.03.2002)  
 (23) Filing Language: English  
 (24) Publication Language: English  
 (30) Priority Data: 09/605,916 15 March 2001 (15.03.2001) US  
 (71) Applicant: MICRON TECHNOLOGY, INC. (US/US);  
8000 South Federal Way, Boise, ID 83707-0006 (US).  
 (72) Inventors: DOAN, Trung, T.; 1574 Steadcoah Drive,  
Boise, ID 83712 (US); LEE, Roger; 2677 W. Doorfield  
Court, Boise, ID 83616 (US); KELLER, Dennis; 1863 S.  
 (74) Agent: D'AMICO, Thomas, J.; Dickinson Shapiro Marín  
& Oshinsky LLP, 2101 L Street, NW, Washington, DC  
20037-1526 (US).  
 (81) Designated States (regional): AE, AG, AL, AM, AT, AU,  
AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU,  
CZ, DE, DK, DM, DZ, EC, EG, ES, FI, GB, GR, GU, HK,  
HN, HR, HU, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC,  
LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,  
MX, MY, NZ, NL, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK,  
SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.  
 (84) Designated States (regional): ARIPO patent (GM, GM,  
KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW),  
European patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM),  
European patent (AT, BE, CH, CY, DE, DK, ES, FR, GR,


[Continued on next page]

(54) Title: SELF-ALIGNED, TRENCHLESS MAGNETORESISTIVE RANDOM-ACCESS MEMORY (MRAM) STRUCTURE WITH SIDEWALL CONTAINMENT OF MRAM STRUCTURE



(57) Abstract: This invention pertains to a method of fabricating a trenchless MRAM structure and to the resultant MRAM structure. The MRAM structure of the invention has a pinned layer formed within protective sidewalls formed over a substrate. The protective sidewalls facilitate formation of the MRAM structure by a self-aligning process.

WO 02/075782 A2

WO 02/075782 A2 

GB, GR, HU, IT, LU, MC, NL, PT, SE, TR, OAPI (patent)  
(HE, HA, CF, CH, CO, CM, GA, GN, HK, GW, ML, NR,  
NI, SN, TD, TG)

For two-letter codes and other abbreviations, refer to the "Guide  
ance Notes on Codes and Abbreviations" appearing at the begin-  
ning of each regular issue of the PCT Gazette.

**Published:**

— without international search report and to be republished  
upon receipt of that report



WO 02/075782

PCT/US02/07284

-1-

SELF-ALIGNED, TRENCHLESS MAGNETORESISTIVE RANDOM-ACCESS  
MEMORY (MRAM) STRUCTURE WITH SIDEWALL CONTAINMENT OF  
MRAM STRUCTURE

5

FIELD OF THE INVENTION

This invention generally relates to a method of fabricating an MRAM structure, and more particularly to an MRAM structure that has a pinned layer formed above an insulating layer and within a protective sidewall.

10

BACKGROUND OF THE INVENTION

Integrated circuit designers have always sought the ideal semiconductor memory: a device that is randomly accessible, can be written or read very quickly, is non-volatile, but indefinitely alterable, and consumes little power. Magnetoresistive random access memory (MRAM) technology has been increasingly viewed as offering all these advantages.

A magnetic memory element has a structure which includes magnetic layers separated by a non-magnetic layer. Information can be read as a "1" or a "0" as directions of magnetization vectors in these magnetic layers. Magnetic vectors in one magnetic layer are magnetically fixed or pinned, while the magnetic vectors of the other magnetic layer are not fixed so that the magnetization direction is free to switch between "parallel" and "antiparallel" states relative to the pinned layer. In response to parallel and antiparallel

WO 02/075782

PCT/US02/07284

-2-

states, the magnetic memory element represents two different resistance states, which are read by the memory circuit as either a "1" or a "0." It is the detection of these resistance states for the different magnetic orientations that allows the MRAM to read and write information.

5 In standard MRAM processing, there are certain sensitivities related to the use of optical photolithography. Typically, the free magnetic layer is patterned separately from a previously deposited copper interconnect line and the pinned magnetic layer, which rests over it. This separate patterning requires a photo-step, in which registration is critical for placement of the free layer over the pinned layer.

10 Spin etching is typically used to form the pinned layer. Spin etching causes the pinned layer to be "dished" or recessed in the center to a greater degree than the more exterior regions. This recessed shape is desirable because it is thought to cause more of the electromagnetic field to be directed at the free magnetic layer, thereby reducing the current needed to change the state of the free layer. Spin etching is notoriously non-uniform as it  
15 relates to the variations between the center and the outer regions of the wafer. Additionally, there are problems with lopsidedness at the trailing edge of the spin caused by this process.

It would be desirable to have a method of fabricating the MRAM structure whereby the structure is formed in a more accurate and reliable way. Sidewall protection of  
20 the MRAM structure, prevention of copper migration, and accurate definition of the structure are all characteristics desired to be improved. Additionally, processing of the

WO 02/075782

PCT/US02/07284

-3-

MRAM structure without need for spin etching so as to achieve a more uniform structure across the wafer would also be advantageous.

#### SUMMARY OF THE INVENTION

5 This invention provides a method of fabricating an MRAM structure. The MRAM structure of the invention does not have the pinned layer recessed within a trench, but instead forms it above an insulating layer. The method provides a sidewall protection for the bottom magnetic layer of the MRAM structure and insures a more reliable structure, which also allows definition of the MRAM stack by a self-aligning process. By  
10 this self-aligned process, the bottom portion of the MRAM stack, incorporating the bottom magnetic layer, is defined in a single etching step and the top portion, incorporating the top magnetic layer, is defined above the bottom magnetic layer in another single, self-aligned etching step, which positions the top magnetic layer over the bottom magnetic layer.

15 This process allows for the fabrication of MRAM structures without employing trench process technology. It eliminates many of the sensitivities associated with optical photolithography as well as the process variabilities associated with spin etching of the recess region for the pinned layer. Finally, it allows for accurate control of the top magnetic layer in its positioning over the bottom magnetic layer so as to improve the  
20 electrical characteristics of the MRAM.

WO 02/075782

PCT/US02/07284

-4-

These and other features and advantages of the invention will be more clearly understood from the following detailed description of the invention which is provided in connection with the accompanying drawings.

#### BRIEF DESCRIPTION OF THE DRAWINGS

5 FIG. I is an illustration of an intermediate stage of processing of the MRAM device according to the invention;

FIG. II is an illustration of a stage of processing of the MRAM device according to the invention, subsequent to the stage illustrated in FIG. I;

10 FIG. III is an illustration of a stage of processing of the MRAM device according to the invention, subsequent to the stage illustrated in FIG. II;

FIG. IV is an illustration of a stage of processing of the MRAM device according to the invention, subsequent to the stage illustrated in FIG. III;

FIG. V is an illustration of a stage of processing of the MRAM device according to the invention, subsequent to the stage illustrated in FIG. IV;

15 FIG. VI is an illustration of a stage of processing of the MRAM device according to the invention, subsequent to the stage illustrated in FIG. V;

FIG. VII is an illustration of a stage of processing of the MRAM device according to the invention, subsequent to the stage illustrated in FIG. VI;

WO 02/075782

PCT/US02/07284

-5-

FIG. VIII is a cutaway perspective view of multiple MRAM devices illustrating the interconnect between top magnetic layer islands in relation to underlying bottom magnetic layer lines; and

FIG. IX is an illustration of a processor-based system having a memory circuit and incorporating an MRAM device fabricated in accordance with the invention.

#### DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

In the following detailed description, reference is made to various specific embodiments in which the invention may be practiced. These embodiments are described with sufficient detail to enable those skilled in the art to practice the invention, and it is to be understood that other embodiments may be employed, and that structural and electrical changes may be made without departing from the spirit or scope of the present invention.

The terms "substrate" and "wafer" are used interchangeably in the following description and may include any semiconductor-based structure. The structure should be understood to include silicon, silicon-on insulator (SOI), silicon-on-sapphire (SOS), doped and undoped semiconductors, epitaxial layers of silicon supported by a base semiconductor foundation, and other semiconductor structures. The semiconductor need not be silicon-based. The semiconductor could be silicon-germanium, germanium, or gallium arsenide. When reference is made to the substrate in the following description, previous process steps may have been utilized to form regions or junctions in or over the base semiconductor or foundation.

WO 02/075782

PCT/US02/07284

-6-

The term "metal" is intended to include not only elemental metal, but metal with other trace metals or in various alloyed combinations with other metals as known in the semiconductor art, as long as such alloy retains the physical and chemical properties of the metal. The term "metal" is also intended to include conductive oxides of such metals.

5 No particular order is required for the method steps described below, with the exception of those logically requiring the results of prior steps. Accordingly, while many of the steps discussed below are discussed as being performed in an exemplary order, this order may be altered.

The invention provides a method of forming an MRAM structure that does not  
10 require the pinned layer, that is, the bottom magnetic (M1) layer, to be recessed within a trench. Additionally, this method results in a protective sidewall for the MRAM structure. Such a protective sidewall adds increased reliability by preventing the migration of copper out of the M1 interconnect line, that is, the digit line, and also allows the MRAM stack to be accurately defined during processing. Further, by using the process of the invention,  
15 many of the sensitivities associated with optical photolithography are eliminated, as are the processing variabilities associated with spin etching of a recess region for the pinned layer. Finally, the method of the invention allows for accurate control of the top magnetic layer (M2) size and positioning over the M1 layer so as to improve the electrical characteristics of the MRAM structure.

20 Referring now to the drawings, where like elements are designated by like reference numerals, FIG. 1 depicts a cross-section of an MRAM memory cell during

WO 02/075782

PCT/US02/07284

-7-

processing at an intermediate stage wherein a semiconductor layer 8, a layer 10 having CMOS access and logic transistors over the semiconductor layer 8, and layer of insulating material 11, preferably TEOS or CVD nitride, are provided. The insulating layer 11 should be about 5000 Angstroms thick. CMOS access transistors (not shown) can be  
5 fabricated over the semiconductor layer 8 and within layer 10 in the regions around and under the periphery of the MRAM array to control the functioning (reading and writing) of the MRAM devices to be fabricated by the process of this invention. Other transistors, such as logic or decoder transistors are fabricated in this same layer 10 but under the MRAM array. Such a configuration of the MRAM transistors conserves valuable space on  
10 the wafer. All MRAM fabrication steps discussed hereafter occur over the layer 10 within which the CMOS transistor structures are formed and the planar insulating layer 11 surface formed over these structures. Layers 8, 10, and 11 can be considered to be a substrate for further processing steps.

An oxide layer 12 is formed over the insulating layer 11. This may be  
15 accomplished as known in the art by any convenient means, such as by chemical vapor deposition (CVD). This oxide layer 12 is patterned with photoresist mask 14 to prevent the etching of regions that will not be removed until later processing steps. The protected oxide layer 12 regions will serve as separators for the MRAM stacks 32 during the first stage of fabrication.

20 Referring now to FIG. II, portions of the oxide layer 12 are removed using photoresist mask 14 to expose the underlying insulating layer 11. This may be

WD 02/075782

PCT/US02/07284

-8-

accomplished in multiple ways after the photoresist mask 14 is developed over those portions not to be removed. A spacer oxide etch plus a facet etch can be used; a spacer etch can be used; and use of an oxide implant into a non-oxidized layer followed by a selective wet etch to remove the oxidized regions can be used as well. The photoresist 14 is also removed from over the remaining sections of the oxide layer 12. This step leaves the oxide layer 12 over portions of the substrate 10 that are between the future MRAM stacks 32 (see FIG. VII) as shown in FIG. II. These remaining sections of the oxide layer 12 are intended to provide contours to the upper surface of the wafer.

Referring to FIG. III, a series of layers are next deposited over the insulating layer 11 and remaining oxide layer 12 to form the bottom portion 38 (see FIG. IV) of the MRAM stack 32 (see FIG. VII). The first of these layers is an insulating nitride layer 16. The nitride layer 16 can be formed by CVD, PECVD, or ALD, and should be thick enough to be able to form sidewalls, less than 200 Å should be sufficient. Other insulating layers can be alternatively used for layer 16, such as aluminum oxide, silicon oxide, or aluminum nitride. Over this nitride layer 16 is deposited a layer of tantalum 18. The tantalum layer 18 is an adhesion, barrier, and etch stop layer, and can be sputter deposited to a thickness of about 100 Å. Next is deposited a layer of copper 20 over the tantalum layer 18. This copper layer 20 forms an interconnect line and is the current carrier between the MRAM pinned layer (M1 22) and associated CMOS circuitry in the underlying CMOS layer 10, and it can be formed by electroplating or sputtering, and should be about 2000 Å thick. This copper layer 20 interconnect can be used as the digit line, or bit line, for the MRAM device. Over the copper layer 20 is deposited another



WO 02/075782

PCT/US02/07284

-9-

barrier layer 19 comprising tantalum. This barrier layer can be about 20-400 Å thick. This barrier layer 19 separates the copper of the digit line from the subsequently formed layers. Over these layers 16, 18, 19, 20 is next deposited a seed layer 21 for the bottom magnetic layer region. The seed layer may comprise NiFe and should be about 10-100 Å thick. This seed layer 21 enables proper crystal growth of the next deposited anti-ferromagnetic layer 23. An anti-ferromagnetic layer 23 is formed over the seed layer to enable the pinning of the bottom magnetic layer. The anti-ferromagnetic layer 23 may be FeMn and should be about 10-100 Å thick. Over this anti-ferromagnetic layer 23 is formed the first magnetic layer (M1) 22.

10        These layers 16, 18, 19, 20, 21, 23, 22 are deposited in a conformal manner, as shown in FIG. III, so that at its highest point relative to the underlying substrate 10, the nitride layer 16 deposited over and on the lateral sides of the remaining portions of the oxide layer 12 is at a higher elevation than the lowest portion of the M1 layer 22, relative to the underlying substrate.

15        The nitride layer 16 is a protective and containment layer. It allows for part of the self-alignment of subsequent process steps because it provides a differential layer to allow a wet removal of the oxide at a later stage of processing, it acts as a stop layer for the CMP process described below; it is a containment barrier against side damage to the MRAM structure and helps prevent the migration of the copper from the copper layer 20  
20        forming the digit lines.

WO 02/075782

PCT/US02/07284

-10-

The M1 layer 22 may be deposited by any convenient method, such as by sputtering or evaporation techniques, and depending on the materials used, should have a thickness of about 10-100 Å. The M1 layer 22 may be one or more layers of any of a variety of materials with good magnetic properties, such as nickel iron cobalt (NiFeCo) alloy, or any similar compounds or alloys. This first magnetic layer 22 is preferably nickel iron (NiFe). The M1 layer 22 will form the pinned magnetic layer, meaning that the magnetic orientation of the layer is fixed during the accessing of the M1 layer 22 during MRAM operation. This M1 layer 22 is pinned because of its association with the underlying anti-ferromagnetic layer 23, creating a singularly-oriented fixed magnetic field for this M1 layer 22.

Referring to FIG. IV, the just deposited layers 16, 18, 19, 20, 21, 23, 22 and the underlying remaining oxide layer 12 are patterned and etched so that the regions of the layers 16, 18, 19, 20, 21, 23, 22 over the remaining oxide layer 12 and the oxide layer 12 itself are removed and the underlying insulating layer 11 is exposed. This may be accomplished by etching with IIF acid. The layers 16, 18, 19, 20, 21, 23, 22 should remain over the insulating layer 11 where the oxide layer 12 was first removed, as described in relation to FIG. II, so that the layers remain over the nitride bottom layer 16 and within the nitride sidewalls 24 created by the selective removal of the unwanted portions of the layers. The layers should next be polished by CMP (chemical mechanical polishing) using the nitride layer 16 as the stop layer to form stacks of layers for the MRAM bottom portion 38 as shown in FIG. IV. This resulting structure should be such that the bottom nitride layer 16 forms complete sidewalls 24 for the entire height of, and a remaining bottom

WO 02/075782

PCT/US02/07284

-11-

portion of the layer 16 for the length of the bottom of the MRAM structure as shown in FIG. IV and VIII. Also, the uppermost first M1 layer 22 of the structure should incorporate a recessed region 26, as shown in FIG. IV and VIII, which is below the top of the nitride sidewalls 24. This recessed region 26 of the M1 layer 22 is a natural occurrence  
5 of the conformal deposition of the layers 16, 18, 19, 20, 21, 23, 22 and the CMP process, and as discussed above in relation to FIG. III, was made possible because the nitride layer 16 was formed at a maximum height which was above this recessed region 26 of the M1 layer 22. Forming the recessed region 26 by this method eliminates the process variables associated with spin etching of a recess for the pinned layer as used in the prior art,  
10 and therefore, results in a more uniform structure. The nitride sidewall 24 provides structure reliability by preventing bridging between structures, which could occur in the prior art because of the reliance on anisotropic etching to accomplish device separation. The sidewall 24 also confines the copper layer 20 and prevents copper migration from the digit line into any surrounding layers. Using the nitride sidewall 24 technique is a more  
15 accurate method of defining an MRAM stack 32 because the initial oxide pattern, which contributes to the sidewall 24 formation, is a single critical alignment at a 1F size that is not registration sensitive.

Referring to FIG. V, a non-magnetic layer 28 is next deposited conformally over the layer stacks and the insulating layer 11. This non-magnetic layer 28 can be aluminum  
20 oxide ( $\text{Al}_2\text{O}_3$ ), or another suitable material with equivalent characteristics, and can be formed by depositing an aluminum film over the substrate 10 and layer stacks, and then oxidizing the aluminum film by an oxidation source, such as RF oxygen plasma. This non-

WO 02/075782

PCT/US02/07284

-12-

magnetic layer 28 should be about 5-25 Å thick. As stated this layer is non-magnetic and serves as tunnel oxide, electron sharing or a barrier layer for the magnetic layers during MRAM operation. The aluminum oxide non-magnetic layer 28 acts as an electron sharing layer when the magnetic orientation of the two magnetic layers is opposite, causing them to  
5 attract. Electrons are shared through the valence bands of the non-magnetic, non-conductive layer 28, allowing for electron migration. However, when the magnetic orientation of the two magnetic layers is alike, causing them to repulse, this aluminum oxide layer 28 provides an effective barrier layer preventing electron migration.

Over this non-magnetic layer 28 a second magnetic layer (M2) 30 is conformally  
10 deposited. This M2 layer 30 forms the free layer of the MRAM device 32. The M2 layer 30 can be comprised of one or more layers of materials similar to those of the M1 layer 22, preferably NiFe and should also be about 10-100 Å thick. Over the M2 layer 30 is formed a capping and barrier layer 31 to provide oxidation and diffusion barrier protection. This layer 31 can be comprised of tantalum and should be about 20-400 Å thick.

15 As opposed to the M1 layer 22 (the pinned layer), the M2 layer 30 will not have a fixed magnetization orientation and will be free to shift this orientation, and thus acts as the element for determining the stored value of a memory cell. It is the shifting of the magnetic orientation of the M2 layer 30 that allows the MRAM device to store data as one of two logic levels. This is accomplished by changing the current flow in the sense line of  
20 the M2 layer 30 to be in one direction or the opposite direction, thereby causing the related magnetic fields to reverse. Oppositely directed current flows for the M2 30 layer,

WO 02/075782

PCT/US02/07284

-13-

result in magnetic fields of opposite polarity, which interact with the pinned magnetic field of the M1 22 layer so that either a "0" or a "1" is read by the sense line as different resistances.

Referring to FIG. VI, the MRAM stacks 32 are now patterned over the substrate. This is a self-aligning process. Another photoresist mask 15 is formed and patterned over the capping and barrier layer 31 and the M2 layer 30 and the remaining layers 16, 18, 19, 20, 21, 23, 22 of the bottom portion 38 of the MRAM stack 32. This photoresist mask 15 defines discrete and isolated regions of M2 layer 30 and non-magnetic layer 28 over the M1 layer 22 (capped with layer 31).

Referring to FIG. VII, layer 31, the M2 layer 30 and the non-magnetic layer 28 are next removed to expose the underlying insulating layer 11 and portions of the bottom portion 38 of the MRAM stacks 32. This may be accomplished by selectively etching layer 31, the M2 layer 30 and the aluminum oxide non-magnetic layer 28 over the underlying materials to leave discrete islands 34 of layers 31, 30, and 28 over the rows of the bottom portions 38 of the MRAM stacks 32. Then the photoresist mask 15 is removed and the islands 34 over the MRAM stacks 32 are polished by CMP to form the MRAM stacks 32 shown in FIG. VII.

By the method of the invention, the M2 layer 30 can be accurately controlled in its positioning over and in relation to the M1 layer 22 by the masking and etching steps described in relation to FIG. VI and FIG. VII. This accurate control improves the electrical characteristics of the MRAM device. Because of the differences in characteristics

WO 02/075782

PCT/US02/07284

-14-

between the magnetic material and the non-magnetic material and the nitride sidewall 24, the outer edges of the M2 layer 30 can be adjusted to be outside or inside those of the M1 layer 22, without the need for multiple reticles, depending on the desired application. The invention also reduces the lateral direction sensitivity in positioning the M2 layer 30 over the M1 layer 22 because the completed MRAM stack 32, including the already formed underlying structure containing the M1 layer 22 and the now formed M2 layer 30, is defined in a single self-aligning step when the M2 layer 30 and the non-magnetic layer 28 are etched to leave those layers 28, 30 only over the already defined M1 layer 22.

Referring to FIG. VIII, after formation of the MRAM stack 32 the M2 layer 30 and the non-magnetic layer 28 (and the capping/barrier layer 31) islands 34 on the top of the MRAM stack 32 are isolated by depositing a layer of dielectric material 40 over the islands 34, the exposed rows of the bottom portion 38 of the MRAM stacks 32, and underlying wafer as shown. The dielectric layer 40 can be TEOS or CVD nitride.

The capping and barrier layer 31 of each island 34 is re-exposed by etching through the dielectric layer 40 to allow for the formation of interconnect lines. The M2 layer 30 of the island 34 is connected (through layer 31) to an upper conductive interconnect line 36, which is the sense line or wordline, formed orthogonal to the underlying bottom portion 38 of the MRAM stack 32. The M2 layer 30 of the island 34 is thereby connected to the M2 layer 30 of other islands 34 over other M1 layers 22 by this upper conductive interconnect line 36. This upper conductive interconnect line 36 is preferably copper and about 2000 Å thick. Next, a dielectric layer (not shown) is blanket

WO 02/075782

PCT/US02/07284

-15-

deposited over the MRAM stacks 32 and the upper conductive interconnect lines 36. This dielectric layer is polished to form a planarized surface over the upper conductive lines 36 (not shown for illustrative purposes). This dielectric layer can also be TEOS or CVD nitride.

5 As stated, the bottom portion 38 of each MRAM stack 32, including the nitride layer 16, the tantalum layer 18, the copper layer 20, and the M1 layer 22 run contiguously under the M2 layer islands 34, connecting multiple M2 layer islands 34 in rows orthogonal to the upper conductive interconnect lines 36. All of the M2 layer islands 34 not connected on the same upper conductive interconnect line 36 or on the same M1 layer 22  
10 are electrically isolated from each other by the dielectric layer 40 deposited over the entire wafer. The underlying bottom portions 38 of each MRAM stack 32 are also electrically isolated from other MRAM stacks 32 by this dielectric layer 40.

After the formation of the MRAM stacks 32, the M2 layer islands 34, the isolation of the MRAM stacks 32 and the M2 layer islands 34, and the formation of the  
15 upper conductive interconnect lines 36, MRAM processing continues as known in the art.

As already discussed, the MRAM devices are connected to controlling transistors. These controlling transistors (not shown) are fabricated within the CMOS layer 11 and can be located in the periphery around the MRAM array. There can be contacts from the copper interconnect lines 20, 36, the digit and sense lines, for the M1 and M2 layers 22,  
20 30; one contact for each copper interconnect. Each contact is connected to at least one controlling transistor in the periphery, which is used to turn the memory devices on or off.

WO 02/075782

PCT/US02/07284

-16-

These transistors can be formed by standard CMOS processing as known in the art. To conserve wafer space, at least some of the accompanying transistors, such as those for logic and decoding, can be located below the MRAM array.

This invention provides the ability to form MRAM devices as described above with high levels of vertical integration. This can be accomplished by forming a plurality of similar stacks and connects in the vertical direction. The MRAM stacks 32 and connects, as described above in relation to FIGs. I-VIII, may be duplicated a plurality of times in the vertical direction, thereby saving valuable wafer space. These additional levels of integration can be formed over the dielectric layer formed over and around the MRAM device upper interconnect lines 36, described above. The second level of integration is formed by the same process described above in relation to FIGs. I-VIII over this dielectric layer.

FIG. IX illustrates a processor system (e.g., a computer system), with which a memory having an MRAM memory device as described above may be used. The processor system comprises a central processing unit (CPU) 102, a memory circuit 104, and an input/output device (I/O) 100. The memory circuit 104 contains an MRAM, and possibly another memory device, including devices constructed in accordance with the present invention. Also, the CPU 102 may itself be an integrated processor, in which both the CPU 102 and the memory circuit 104 may be integrated on a single chip, so as to fully utilize the advantages of the invention. This illustrated processing system architecture is



WO 02/075782

PCT/US02/07284

-17-

merely exemplary of many different processor system architecture with which the invention can be used.

The above description and accompanying drawings are only illustrative of exemplary embodiments, which can achieve the features and advantages of the present invention. It is not intended that the invention be limited to the embodiments shown and described in detail herein. The invention can be modified to incorporate any number of variations, alterations, substitutions or equivalent arrangements not heretofore described, but which are commensurate with the spirit and scope of the invention. The invention is only limited by the scope of the following claims.

10

What is claimed is:

WO 02/075782

PCT/US02/07284

-18-

1. A method of forming an MRAM device, comprising:  
forming freestanding insulating sidewalls over a substrate to define a protective region  
bordered by said sidewalls, said sidewalls being formed above the uppermost level  
5 of said substrate;  
forming a bottom magnetic layer within said protective region; and  
forming a top magnetic layer over a region of said bottom magnetic layer.
2. The method of claim 1, wherein said freestanding insulating sidewalls are  
interconnected along their length by a bottom insulating layer between said  
10 sidewalls.
3. The method of claim 2, wherein the act of forming said freestanding insulating  
sidewalls and said bottom insulating layer comprises:  
forming a first insulating layer over said substrate and over at least two spaced  
sacrificial regions formed over said substrate, said sacrificial regions being  
15 substantially parallel to each other, extending longitudinally across said substrate,  
and having substantially vertical sidewalls, wherein said insulating sidewalls are  
formed on said substantially vertical sidewalls of said sacrificial regions and said  
bottom insulating layer is formed between said sacrificial regions; and

WO 02/075782

PCT/US02/07284

-19-

removing said at least two sacrificial regions and the portion of said first insulating layer formed thereover to leave said freestanding insulating sidewalls and said bottom insulating layer between said freestanding insulating sidewalls, said freestanding insulating sidewalls and said bottom insulating layer each formed of said first insulating layer.

4. The method of claim 3, wherein the act of forming said bottom magnetic layer comprises:
- forming a seed layer over said first insulating layer and within said protective region;
- forming an anti-ferromagnetic layer over said seed layer and within said protective region; and
- forming said bottom magnetic layer over said anti-ferromagnetic layer and within said protective region, wherein said bottom magnetic layer has an upper recessed region.
5. The method of claim 4, further comprising:
- forming a first barrier layer over said first insulating layer and within said protective region, wherein said first insulating layer comprises a nitride;
- forming a conducting layer over said barrier layer and within said protective region;
- forming a second barrier layer over said conducting layer and within said protective region, wherein said seed layer is formed over said second barrier layer;

WO 02/075762

PCT/US02/07284

-20-

- removing the portions of said barrier layers, said conducting layer, said seed layer, said anti-ferromagnetic layer, and said bottom magnetic layer that overly said sacrificial regions simultaneously with said removing of said sacrificial regions and said portion of said first insulating layer formed thereover; and
- 5 polishing the not removed portions of said first insulating layer, said first barrier layer, said conducting layer, said second barrier layer, said seed layer, said anti-ferromagnetic layer, and said bottom magnetic layer using said first insulating layer as a stop layer for said polishing.
6. The method of claim 5, wherein said act of removing portions of said first insulating layer, said first barrier layer, said conducting layer, said second barrier layer, said seed layer, said anti-ferromagnetic layer, said bottom magnetic layer, and said sacrificial regions, comprises etching.
7. The method of claim 5, wherein said first and second barrier layers comprise tantalum.
8. The method of claim 5, wherein said conducting layer comprises copper.
9. The method of claim 5, wherein said seed layer comprises nickel iron.
10. The method of claim 5, wherein said anti-ferromagnetic layer comprises iron manganese
11. The method of claim 5, wherein said bottom magnetic layer comprises nickel iron.

WO 02/075782

PCT/US02/07284

-21-

12. The method of claim 5, wherein said sacrificial regions comprise an oxide.
13. The method of claim 5, wherein the act of forming said top magnetic layer comprises:
- forming a layer of non-magnetic material over said bottom magnetic layer and within  
said upper recessed region of said bottom magnetic layer;
- 5 forming said top magnetic layer over said layer of non-magnetic material;
- forming a third barrier layer over said top magnetic layer; and
- removing portion of said layer of non-magnetic material, a portion of said top  
magnetic layer, and a portion of said third barrier layer to leave an island of said  
non-magnetic material, said top magnetic layer, and said third barrier layer over  
10 said region of said bottom magnetic layer.
14. The method of claim 13, wherein the act of removing a portion of said layer of non-  
magnetic material, a portion of said top magnetic layer, and a portion of said third  
barrier layer comprises etching.
15. The method of claim 13, wherein said layer of non-magnetic material comprises  
15 aluminum oxide.
16. The method of claim 13, wherein said top magnetic layer comprises nickel iron.
17. The method of claim 13, wherein said third barrier layer comprises tantalum.

WD 02/075782

PCT/US02/07284

-22-

18. The method of claim 13, further comprising forming a conductive interconnect line over said island of said non-magnetic material, said top magnetic layer, and said third barrier layer, said conductive interconnect line being orthogonal to said bottom magnetic layer.
- 5 19. The method of claim 18, wherein said conductive interconnect line is a wordline and said conducting layer is a bit line.
20. The method of claim 18, further comprising forming a dielectric layer over said conductive interconnect line, said first magnetic layer, and said substrate.
21. A method of forming an MRAM memory device, comprising:
- 10 forming a freestanding stacked structure above a substrate, said stacked structure comprising nitride sidewalls and a nitride bottom layer interconnecting said sidewalls, a conducting layer within said nitride sidewalls, and a first magnetic layer within said nitride sidewalls and over said conducting layer;
- forming a non-magnetic layer over a region of said stacked structure; and
- 15 forming a second magnetic layer over said non-magnetic layer.
22. The method of claim 21, wherein the act of forming said freestanding stacked structure comprises:
- forming raised oxide layer regions over portions of said substrate, wherein portions of said substrate between said raised oxide layer regions are exposed;

WO 02/075782

PCT/US02/07284

-23-

- forming a nitride layer over said raised oxide layer regions and said exposed portions of said substrate;
- forming said conducting layer over said nitride layer;
- forming said first magnetic layer over said conducting layer;
- 5 etching to expose said substrate where under said oxide layer regions to form said freestanding stacked structure, which includes said nitride sidewalls, a remaining bottom nitride layer between said sidewalls, a remaining conductive layer over said remaining bottom nitride layer, and a remaining first magnetic layer over said remaining conductive layer, said first magnetic layer having an upper recessed region; and
- 10 polishing said freestanding stacked structure using said nitride sidewalls as a stop layer.
23. The method of claim 22, wherein act of polishing said freestanding stacked structure does not remove said upper recessed region of said first magnetic layer.
24. The method of claim 22, wherein said act of forming said freestanding stacked structure further comprises:
- 15 forming a first barrier layer within said nitride sidewalls and over said nitride bottom layer, wherein said conducting layer is formed over said first barrier layer;
- forming a second barrier layer within said nitride sidewalls and over said conducting layer;

WO 02/05782

PCT/US02/07284

-24-

forming a seed layer within said nitride sidewalls and over said second barrier layer;  
and

forming an anti-ferromagnetic layer within said nitride sidewalls and over said seed layer, wherein said first magnetic layer is formed over said anti-ferromagnetic layer;

5 wherein said oxide layer regions, said nitride layer, said first and second barrier layers, said conductive layer, said seed layer, said anti-ferromagnetic layer and said first magnetic layer are etched simultaneously to expose said substrate and form said freestanding stacked structure.

25. The method of claim 24, further comprising polishing said stacked structure using  
10 said nitride sidewalls as an etch stop layer.

26. The method of claim 25, wherein said forming of said non-magnetic layer and said second magnetic layer comprise:

forming said non-magnetic layer over said freestanding stacked structure and said substrate;

15 forming said second magnetic layer over said non-magnetic layer;

removing portions of said second magnetic layer and said non-magnetic layer from over said substrate and said stacked structure, wherein said second magnetic layer and said non-magnetic layer remain over said region of said stacked structure, and wherein said removing of said second magnetic layer and said non-magnetic layer



WO 02/075782

PCT/US02/07284

-23-

leaves an island of said second magnetic layer and said non-magnetic layer over said stacked structure.

27. The method of claim 26, further comprising:  
forming a third barrier layer over said second magnetic layer, a portion of which is  
5 removed simultaneously with said second magnetic layer, wherein said act of  
removing portions of said third barrier layer, said second magnetic layer and said  
non-magnetic layer comprises etching.
28. The method of claim 24, wherein said first and second barrier layers comprise  
tantalum.
- 10 29. The method of claim 24, wherein said conducting layer comprises copper.
30. The method of claim 24, wherein said seed layer comprises nickel iron.
31. The method of claim 24, wherein said anti-ferromagnetic layer comprises iron  
manganese.
32. The method of claim 24, wherein said first magnetic layer comprises nickel iron.
- 15 33. The method of claim 26, wherein said non-magnetic layer comprises aluminium oxide.
34. The method of claim 26, wherein said second magnetic layer comprises nickel iron.

WO 02/075782

PCT/US02/07284

-26-

35. The method of claim 27, wherein said third barrier layer comprises tantalum.
36. The method of claim 27, further comprising forming a conductive interconnect line over said third barrier layer, said conductive interconnect line being orthogonal to said stacked structure.
- 5 37. The method of claim 36, wherein said conductive interconnect line is a wordline and said conducting layer is a bit line.
38. The method of claim 36, further comprising forming a dielectric layer over said conductive interconnect line.
39. A method of forming a semiconductor device, comprising:
- 10 forming a plurality of layers of MRAM cells over a substrate, the forming of at least one of said layers of MRAM cells comprising:
- forming at least one first freestanding stacked structure over a substrate, said at least one first freestanding stacked structure having first nitride sidewalls, a first nitride bottom layer interconnecting said first nitride sidewalls, and the following layers
- 15 over said first nitride bottom layer and within said nitride sidewalls: a first barrier layer over said first nitride bottom layer, a conducting layer over said first barrier layer, a second barrier layer over said conducting layer, a seed layer over said second barrier layer, an anti-ferromagnetic layer over said seed layer, and a bottom

WO 02/05782

PCT/US02/07284

-27-

- magnetic layer and over said anti-ferromagnetic layer, said bottom magnetic layer having a recessed region;
- forming a first non-magnetic layer over a first region of said bottom magnetic layer of said at least one first freestanding stacked structure and within said recessed region of said bottom magnetic layer;
- forming a first top magnetic layer over said first non-magnetic layer;
- forming a third barrier layer over said first top magnetic layer; and
- forming a first conductive interconnect line over said third barrier layer, wherein said first conductive interconnect line is orthogonal to said at least one first freestanding stacked structure.
40. The method of claim 39, wherein the act of forming said at least one first freestanding stacked structure comprises:
- forming substantially parallel first raised oxide layer regions over portions of a substrate, wherein portions of said substrate between said first raised oxide layer regions are exposed;
- forming a first nitride layer over said first raised oxide layer regions and said exposed portions of said substrate;
- forming said first barrier layer over said first nitride layer;
- forming said conducting layer over said first barrier layer;
- forming said second barrier layer over said conducting layer;

WO 02/075782

PCT/US02/07284

-28-

forming said seed layer over said second barrier layer;  
forming said anti-ferromagnetic layer over said seed layer;  
forming said first bottom magnetic layer over said anti-ferromagnetic layer;  
etching to expose said substrate where under said first oxide layer regions to form said  
5 at least one freestanding stacked structure; and  
polishing said at least one freestanding stacked structure using said first nitride  
sidewalls as a stop layer, so as to leave said recessed region in said first bottom  
magnetic layer.

41. The method of claim 40, further comprising:  
10 forming a dielectric layer over said first conductive interconnect line and said  
substrate; and  
forming at least one second layer of MRAM cells over said dielectric layer.
42. The method of claim 40, wherein said first and second barrier layers comprise  
tantalum.
- 15 43. The method of claim 40, wherein said conducting layer comprises copper.
44. The method of claim 40, wherein said conductive interconnect line comprises copper.
45. The method of claim 40, wherein said seed layer comprises nickel iron.

WO 02/075782

PCT/US02/07284

-29-

46. The method of claim 40, wherein said anti-ferromagnetic layer comprises iron manganese.
47. The method of claim 40, wherein said first bottom magnetic layer comprises nickel iron.
48. The method of claim 40, wherein said first non-magnetic layer comprises aluminum oxide.
49. The method of claim 40, wherein said first top magnetic layer comprises nickel iron.
50. The method of claim 40, further comprising:  
forming at least one second freestanding stacked structure adjacent to and  
substantially parallel to said first freestanding stacked structure, wherein said  
second freestanding stacked structure comprises identical layers as said first  
freestanding stacked structure, wherein said first conductive interconnect line is  
over said third barrier layer of each said freestanding stacked structure and  
connects said first and said second freestanding stacked structures.
51. The method of claim 50, wherein said first conducting layers of said first and second  
freestanding stacked structures are bit lines and said first conductive interconnect  
line is a wordline.

WO 02/075782

PCT/US02/07284

-30-

52. The method of claim 50, wherein said method is repeated over a dielectric layer formed over said first and second freestanding stacked structures, said conductive interconnect line, and said substrate.
53. A method of forming an MRAM device, comprising:
- 5 forming at least two spaced oxide regions over a substrate, said at least two spaced oxide regions having substantially vertical sidewalls and being substantially parallel to one another;
- forming a nitride layer over said at least two spaced oxide regions and said substrate, wherein said nitride layer is formed on said substantially vertical sidewalls of said at
- 10 least two spaced oxide regions;
- forming a first barrier layer over said nitride layer;
- forming a conducting layer over said first barrier layer;
- forming a second barrier layer over said conducting layer;
- forming a seed layer over said second barrier layer;
- 15 forming an anti-ferromagnetic layer over said seed layer;
- forming a bottom magnetic layer over said anti-ferromagnetic layer;
- exposing said substrate under said at least two spaced oxide regions by etching, thereby forming nitride sidewalls comprising remaining said nitride layer, wherein said sidewalls partially surround said first barrier layer, said conducting layer, said

WO 02/075782

PCT/US02/07284

-11-

second barrier layer, said seed layer, said anti-ferromagnetic layer, and said bottom magnetic layer;

polishing said bottom magnetic layer, said anti-ferromagnetic layer, said seed layer, said second barrier layer, said conducting layer, said first barrier layer, and said nitride layer, using said nitride sidewalls as a stop layer, so that said bottom magnetic layer maintains a recessed region in an upper portion thereof;

forming a non-magnetic layer over said bottom magnetic layer and said substrate;

forming a top magnetic layer over said non-magnetic layer;

forming a third barrier layer over said top magnetic layer;

etching said non-magnetic layer, said top magnetic layer and said third barrier layer so as to leave islands of said non-magnetic layer, said top magnetic layer, and said third barrier layer over regions of said bottom magnetic layer;

polishing said third barrier layer;

forming a dielectric layer over said third barrier layer and said substrate;

exposing tops of said islands through said dielectric layer; and

forming conductive interconnect lines over said islands, wherein said conductive interconnect lines are orthogonal to said bottom magnetic layer.

54. The method of claim 53, wherein said barrier layers comprise tantalum.

55. The method of claim 53, wherein said conducting layer comprises copper.

WO 02/075782

PCT/US02/07284

-32-

56. The method of claim 53, wherein said seed layer comprises nickel iron.
57. The method of claim 53, wherein said anti-ferromagnetic layer comprises iron manganese.
58. The method of claim 53, wherein said bottom magnetic layer comprises nickel iron.
59. The method of claim 53, wherein said non-magnetic layer comprises aluminum oxide.
60. The method of claim 53, wherein said top magnetic layer comprises nickel iron.
61. The method of claim 53, wherein said conductive interconnect lines comprise copper.
62. The method of claim 53, wherein said conductive interconnect lines are wordlines and said conducting layer is a bit line.
63. The method of claim 53, wherein said method is repeated in the vertical direction after forming a dielectric layer over said conductive interconnect lines and polishing said dielectric layer.
64. An MRAM device, comprising:  
a substrate;



WO 02/075782

PCT/US02/07284

-33-

an insulating layer over said substrate, said insulating layer comprising sidewalls and a bottom portion between said sidewalls, said insulating layer being over the uppermost portion of said underlying substrate;

a first conductive layer over said bottom portion of said insulating layer and between said sidewalls;

a first magnetic layer over said conductive layer and between said sidewalls; and

a second magnetic layer over a region of said first magnetic layer.

65. The MRAM device of claim 64, further comprising:

a first barrier layer over said bottom insulating layer and between said sidewalls,

wherein said first conductive layer is over said first barrier layer;

a second barrier layer over said first conductive layer;

a seed layer over said second barrier layer; and

an anti-ferromagnetic layer over said seed layer, wherein said first magnetic layer is over said anti-ferromagnetic layer.

66. The MRAM device of claim 65, wherein said first magnetic layer has an upper recess in a portion thereof.

67. The MRAM device of claim 66, further comprising:

WO 02/075782

PCT/US02/07284

-34-

- a non-magnetic layer over said region of said first magnetic layer, wherein said non-magnetic layer is at least partially within said upper recess of said first magnetic layer and said second magnetic layer is over said non-magnetic layer;
- a third barrier layer over said second magnetic layer; and
- 5 a second conductive layer over said third barrier layer and orthogonal to said first conductive layer.
68. The MRAM device of claim 67, wherein said first magnetic layer has a pinned magnetic orientation, and wherein said second magnetic layer has a free magnetic orientation.
- 10 69. The MRAM device of claim 67, wherein said insulator layer comprises a nitride.
70. The MRAM device of claim 67, wherein said barrier layers comprise tantalum.
71. The MRAM device of claim 67, wherein said first conductive layer comprises copper.
72. The MRAM device of claim 67, wherein said seed layer comprises nickel iron.
73. The MRAM device of claim 67, wherein said anti-ferromagnetic layer comprises iron
- 15 manganese.
74. The MRAM device of claim 67, wherein said first magnetic layer comprises nickel iron.

WO 02/05782

PCT/US02/07284

-35-

75. The MRAM device of claim 67, wherein said non-magnetic layer comprises aluminum oxide.
76. The MRAM device of claim 67, wherein said top magnetic layer comprises nickel iron.
- 5 77. The MRAM device of claim 67, wherein said second conductive layer comprises copper.
78. The MRAM device of claim 67, wherein said first conductive layer is a bit line and said second conductive layer is a wordline.
79. The MRAM device of claim 67, further comprising a dielectric layer over said second  
10 conductive layer.
80. A memory device, comprising:
- a substrate;
  - a plurality of substantially parallel and spaced insulating structures above the uppermost portion of said substrate, each said insulating structure comprising  
15 sidewalls and a bottom portion between said sidewalls and being separated by an insulating material which is between said structures and over said substrate;
  - a first barrier layer within said sidewalls and over said bottom portion of said insulating structures;

WO 02/075782

PCT/US02/07284

-36-

a first conductive layer over said first barrier layer and within said sidewalls;  
a second barrier layer over said first conductive layer and within said sidewalls;  
a seed layer over said second barrier layer and within said sidewalls;  
an anti-ferromagnetic layer over said seed layer and within said sidewalls;  
5 a first magnetic layer over said anti-ferromagnetic layer and within said sidewalls, said  
first magnetic layer having an upper recess in a portion thereof;  
a plurality of islands over said first magnetic layer, wherein said islands comprise a  
non-magnetic layer over said first magnetic layer and at least partially within said  
upper recess, a second magnetic layer over said non-magnetic layer, and a third  
10 barrier layer over said second magnetic layer; and  
a second conductive layer over each island of said plurality of islands, said second  
conductive layer being orthogonal to said first magnetic layer.

81. The memory device of claim 80, wherein said first magnetic layer has a pinned  
magnetic orientation, and wherein said second magnetic layer has a free magnetic  
15 orientation.

82. The memory device of claim 80, wherein said sidewalls and said bottom portion of  
said plurality of insulating structures comprise a nitride.

83. The memory device of claim 80, wherein said barrier layers comprise tantalum.

WO 02/075782

PCT/US02/47284

-37-

84. The memory device of claim 80, wherein said conductive layers comprise copper.
85. The memory device of claim 80, wherein said seed layer comprises nickel iron.
86. The memory device of claim 80, wherein said anti-ferromagnetic layer comprises iron manganese.
- 5 87. The memory device of claim 80, wherein said first magnetic layer comprises nickel iron.
88. The memory device of claim 80, wherein said non-magnetic layer comprises aluminum oxide.
89. The memory device of claim 80, wherein said second magnetic layer comprises nickel  
10 iron.
90. The memory device of claim 80, wherein said first conductive layer is a digit line and said second conductive layer is a sense line.
91. The memory device of claim 80, further comprising a dielectric layer over said second conductive layer.
- 15 92. An MRAM device, comprising:

WO 02/075782

PCT/US02/07284

-35-

- a pair of nitride sidewalls and a nitride bottom layer between said sidewalls, said sidewalls and bottom layer being above the uppermost level of an underlying substrate;
- a first barrier layer over said nitride bottom layer and within said nitride sidewalls;
- 5 a first conductive layer over said first barrier layer and within said nitride sidewalls;
- a second barrier layer over said first conductive layer and within said nitride sidewalls;
- a seed layer over said second barrier layer and within said nitride sidewalls;
- an anti-ferromagnetic layer over said seed layer and within said sidewalls;
- a first magnetic layer over said anti-ferromagnetic layer and within said nitride
- 10 sidewalls, said first magnetic layer having an upper recessed region therein;
- a non-magnetic layer over a region of said first magnetic layer and within said upper recessed region of said first magnetic layer;
- a second magnetic layer over said non-magnetic layer;
- a third barrier layer over said second magnetic layer; and
- 15 a second conductive layer over said third barrier layer, said second conductive layer being orthogonal to said first magnetic layer.
93. The MRAM device of claim 92, wherein said barrier layers comprise tantalum.
94. The MRAM device of claim 92, wherein said conductive layers comprises copper.

WO 02/055782

PCT/US02/07284

-39-

95. The MRAM device of claim 92, wherein said seed layer comprises nickel iron.
96. The MRAM device of claim 92, wherein said anti-ferromagnetic layer comprises iron manganese.
97. The MRAM device of claim 92, wherein said first magnetic layer comprises nickel iron.
98. The MRAM device of claim 92, wherein said non-magnetic layer comprises aluminum oxide.
99. The MRAM device of claim 92, wherein said second magnetic layer comprises nickel iron.
100. The MRAM device of claim 92, wherein said second conductive layer is a sense line and said first conductive layer is a digit line.
101. The MRAM device of claim 92, further comprising a dielectric layer over said second conductive layer.
102. A processor system, comprising:
- a processor; and
- an MRAM memory circuit coupled to said processor, wherein said MRAM memory circuit comprises:

WD 02/075782

PCT/US02/07284

-40-

an insulator structure having a pair of sidewalls and a bottom portion interconnecting said sidewalls, said structure being above an underlying substrate and the uppermost portion thereof;

a first conductive layer over said bottom portion and within said sidewalls of said insulator structure;

a seed layer over said first conductive layer and within said sidewalls;

an anti-ferromagnetic layer over said seed layer and within said sidewalls;

a first magnetic layer over said anti-ferromagnetic layer and within said sidewalls;

a non-magnetic layer over a region of said first magnetic layer;

a second magnetic layer over said non-magnetic layer; and

a second conductive layer over said second magnetic layer and orthogonal to said first magnetic layer.

103. The processor system of claim 102, further comprising:

a first barrier layer over said bottom portion and within said sidewalls of said insulator structure, wherein said first conductive layer is over said first barrier layer;

a second barrier layer over said first conductive layer, wherein said seed layer is over said second barrier layer; and

a third barrier layer over said second magnetic layer, wherein said second conductive layer is over said third barrier layer.



WO 02/075782

PCT/US02/07284

-41-

104. The processor system of claim 103, wherein said first magnetic layer comprises an upper recessed region, and said non-magnetic layer is within said upper recessed region of said first magnetic layer.
105. The processor system of claim 104, wherein said sidewalls and said bottom portion of said insulator structure comprise a nitride.
106. The processor system of claim 104, wherein said barrier layers comprise tantalum.
107. The processor system of claim 104, wherein said conductive layers comprise copper.
108. The processor system of claim 104, wherein said seed layer comprises nickel iron.
109. The processor system of claim 104, wherein said anti-ferromagnetic layer comprises iron manganese.
110. The processor system of claim 104, wherein said first magnetic layer comprises nickel iron.
111. The processor system of claim 104, wherein said non-magnetic layer comprises aluminum oxide.
112. The processor system of claim 104, wherein said top magnetic layer comprises nickel iron.

WD 02/075782

PCT/US02/07284

-42-

113. The processor system of claim 104, wherein said second conductive layer is a sense line and said first conductive layer is a digit line.

114. The processor system of claim 104, further comprising a dielectric layer over said second conductive layer.

5 115. The processor system of claim 104, wherein both the processor and the MRAM circuit are integrated on a single chip.

116. A method of forming an MRAM structure comprising:

forming a plurality of spaced longitudinally extending sacrificial regions over an insulating layer;

10 forming a plurality of material layers over said insulating layer and said sacrificial regions, the lowermost one of said material layers being an insulator layer having a U-shape cross section profile between said spaced sacrificial regions, at least one of said material layers being a conductive layer formed over said insulator layer of said material layers, and at least one of said material layers being a magnetic material  
15 layer formed over said conductive layer; and

etching to remove said sacrificial regions and said material layers where overlying said sacrificial regions to form a plurality of spaced stacked structures which include portions of said lowermost insulator layer having said U-shape profile, and portions of said conductive and said magnetic material layers formed within said  
20 U-shaped profile of said insulator layer.

WO 02/075782

PCT/US02/07284

-43-

117. The method of claim 116, further comprising:

forming a non-magnetic layer over said plurality of spaced stacked structures and  
insulating layer;

forming a second magnetic layer over said non-magnetic layer;

5 removing portions of said non-magnetic layer and said second magnetic layer by  
etching, leaving islands of said non-magnetic layer and said second magnetic layer  
over regions of said magnetic layer of said plurality of spaced stacked structures.

FIG. 1

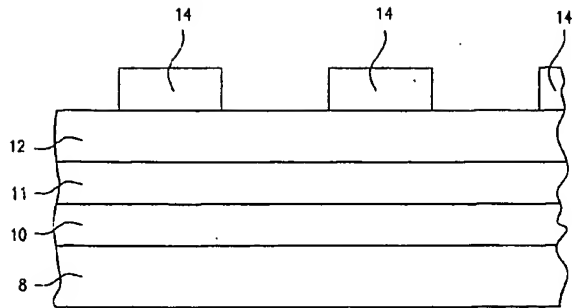


FIG. 2

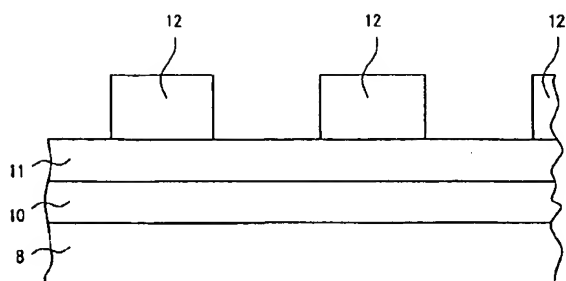


FIG. 3

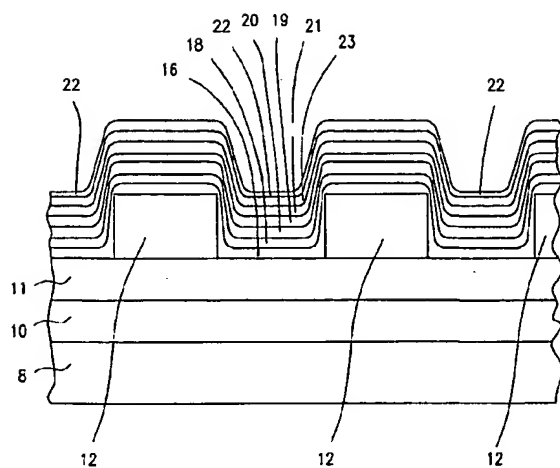


FIG. 4

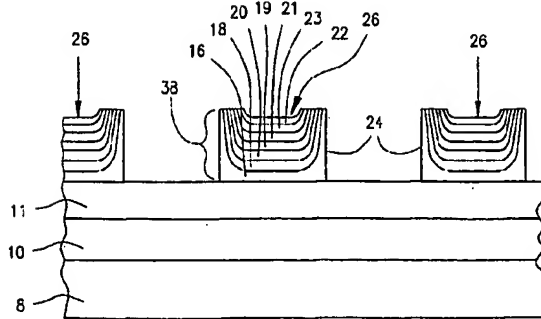
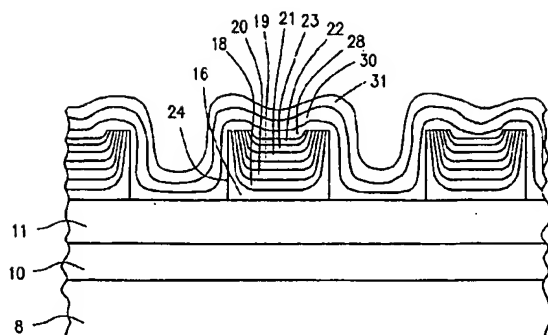


FIG. 5





WO 02/075782

6/9

PCT/US02/07284

FIG. 6

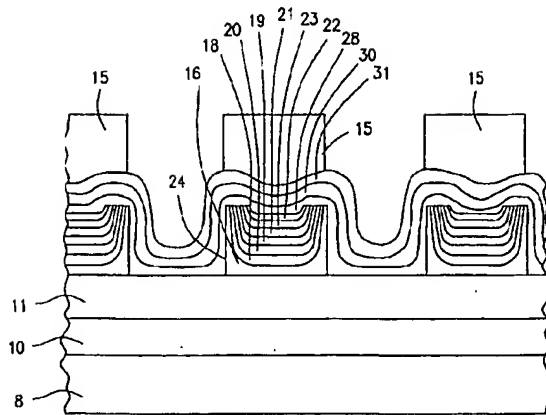
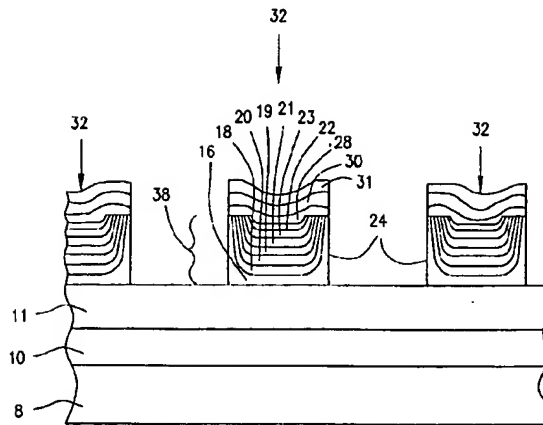


FIG. 7



WO 02/075702

8/9

PCT/US02/07284

FIG. 8

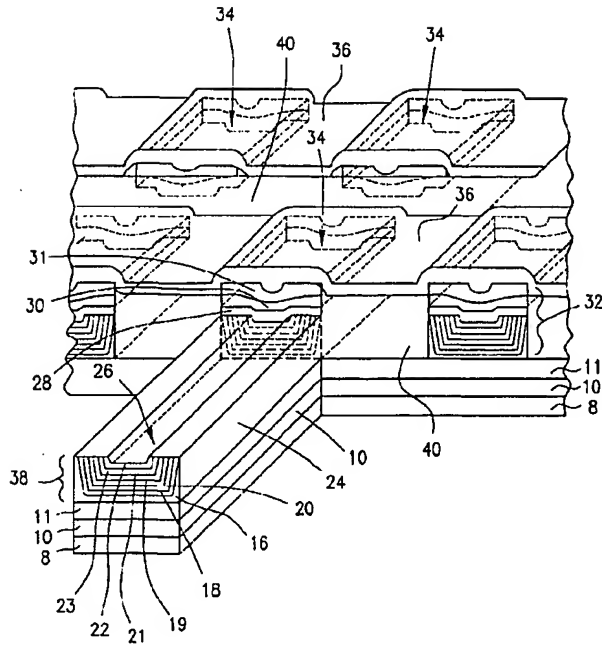
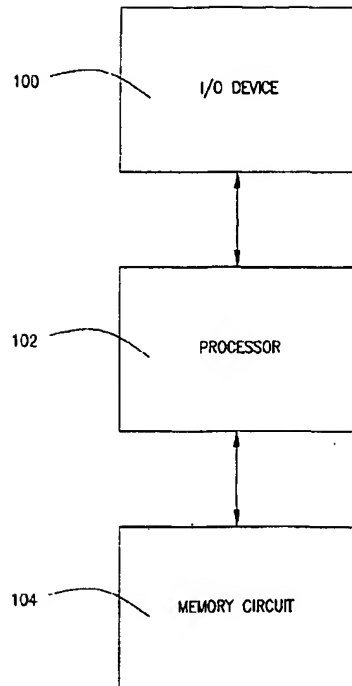


FIG. 9



## 【国際公開パンフレット（コレクトバージョン）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau(43) International Publication Date  
26 September 2002 (26.09.2002)

PCT

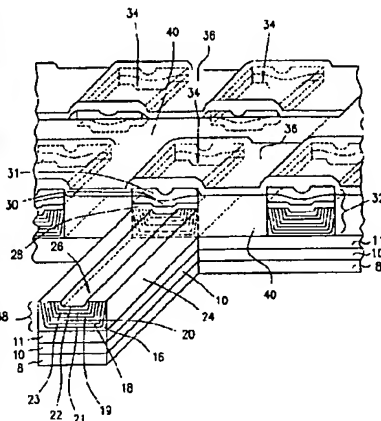
(10) International Publication Number  
WO 02/075782 A3

- (51) International Patent Classification: H01L 21/8246, 27/22, H01C 11/13  
(21) International Application Number: PCT/US02/07284  
(22) International Filing Date: 12 March 2002 (12.03.2002)  
(25) Filing Language: English  
(26) Publication Language: English  
(30) Priority Data: 09/605,916 15 March 2001 (15.03.2001) US  
(71) Applicant: MICRON TECHNOLOGY, INC. (US/US); 8000 South Federal Way, Boise, ID 83707-0006 (US)  
(72) Inventors: DOAN, Treng, T.; 1574 Shennocks Drive, Boise, ID 83712 (US); LEE, Roger; 2697 W. Deerfield  
(74) Agent: D'AMICO, Thomas, J.; De'Stein Stephen Merin & Chinsky LLP, 2101 I. Street, NW, Washington, DC 20037-1526 (US)  
(81) Designated States (national): AU, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GR, GT, HK, HU, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LE, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NI, NZ, PA, PE, PG, PH, PL, PT, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW.  
(84) Designated States (regional): ARIPO patent (GI, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW).

[Continued on next page]

(54) Title: SELF-ALIGNING, TRENCHLESS MAGNETORESISTIVE RANDOM-ACCESS MEMORY (MRAM) STRUCTURE WITH SIDEWALL CONTAINMENT OF MRAM STRUCTURE

WO 02/075782 A3



(57) Abstract: This invention pertains to a method of fabricating a trenchless MRAM structure and to the resultant MRAM structure. The MRAM structure of the invention is a planar layer formed within protective sidewalls formed over a substrate. The protective sidewalls facilitate formation of the MRAM structure by a self-aligning process.

WO 02/075782 A3



German patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM),  
European patent (AT, AU, CH, CY, DK, ES, FR,  
GB, GR, IT, LI, NL, PT, SE, TR), OAPI patent  
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,  
NE, SN, TD, TG).

(88) Date of publication of the international search report:  
5 June 2003

Published:  
with international search report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 02/07284
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L21/8246 H01L27/22 //611C11/15		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Magnetic documentation searched (classification system followed by classification symbols) IPC 7 H01L 611C		
Documentation searched (other than magnetic documentation) to the extent that such documents are included in the fields searched		
Particular data base consulted during the international search (name of data base and, where practical, search term used) EPD-Internal, PAJ, WPI Data, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category <sup>1</sup>	Criterion of document, with indication, where appropriate, of its relevant passages <sup>2</sup>	Relevant to claim no.
X	US 5 956 267 A (HURST ALLAN T ET AL) 21 September 1999 (1999-09-21) figures 1-3, 9-11 column 4, line 56 - column 5, line 16 column 6, line 50 - column 7, line 14	1,2
X	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 13, 5 February 2001 (2001-02-05) -B JP 2000 285668 A (UNIV NAGOYA; SANYO ELECTRIC CO LTD) 13 October 2000 (2000-10-13) abstract figures 4,6	64
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
<sup>1</sup> Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *C* earlier document but published on or after the international filing date *D* document which may throw doubts on priority claimed or which is cited to establish the prior art date of another claim or other special reason (as specified) *E* document referring to an oral disclosure, use, exhibition or other means *F* document published prior to the international filing date but later than the priority date claimed *I* later document published after the international filing date or priority date and not in conflict with the application but which is understood the principle or theory underlying the invention *X* document of particular relevance, the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance, the claimed invention cannot be considered to involve an inventive step when the document is taken in combination with one or more other such documents, such combination being obvious to a person skilled in the art *A* document member of the same patent family		
Date of the actual completion of the international search 7 January 2003		Date of mailing of the international search report 14/01/2003
Name and mailing address of the ISA European Patent Office, P.O. Box 1 6000 Luxembourg Tel: (+352) 70 464-2643, Telex: 31 851 upx lf, Fax: (+352) 70 464-2616		Authorized officer Visscher, E

Form PCT/ISA/210 (published form) (July 2002)

INTERNATIONAL SEARCH REPORT			
Information on patent family members			International Application No. PCT/US 02/07284
Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5956267	A	21-09-1999	NONE
JP 2000285668	A	13-10-2000	NONE

Form PCT/ISA/210 (patent family member) (July 1992)



## フロントページの続き

(81)指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, R O, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW

(72)発明者 トゥルン ティー ドアン

アメリカ合衆国 83712 アイダホ州 ボイジー シェナンドー ドライブ 1574

(72)発明者 ロジャー リー

アメリカ合衆国 83616 アイダホ州 ボイジー ウェスト ディアフィールド コート 2  
697

(72)発明者 デニス ケラー

アメリカ合衆国 83712 アイダホ州 ボイジー サウス ロンドナー ウェイ 1863

(72)発明者 ガター サンドー

アメリカ合衆国 83706 アイダホ州 ボイジー イースト パークリバー ドライブ 29  
64

(72)発明者 レン アール

アメリカ合衆国 83642 アイダホ州 メリディアン ノース ベンチャー ストリート 1  
920

Fターム(参考) 5F083 FZ10 GA10 GA27 HA02 HA06 JA01 JA02 JA37 JA39 PR29  
PR40